

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

JG903 U.S. PRO
09/005039
03/14/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2000年 3月 23日

出願番号
Application Number: 特願2000-082141

出願人
Applicant(s): 株式会社アドバンスト・ディスプレイ

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及川耕造

出証番号 出証特2000-3096679

【書類名】 特許願

【整理番号】 A199112901

【提出日】 平成12年 3月23日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G02F 1/136

【発明者】

【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

【氏名】 小林 和弘

【発明者】

【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

【氏名】 中嶋 健

【発明者】

【住所又は居所】 熊本県菊池郡西合志町御代志997番地 株式会社アドバンスト・ディスプレイ内

【氏名】 中村 伸宏

【特許出願人】

【識別番号】 595059056

【氏名又は名称】 株式会社アドバンスト・ディスプレイ

【代理人】

【識別番号】 100065226

【弁理士】

【氏名又は名称】 朝日奈 宗太

【電話番号】 06-6943-8922

【選任した代理人】

【識別番号】 100098257

【弁理士】

【氏名又は名称】 佐木 啓二

【手数料の表示】

【予納台帳番号】 001627

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9503603

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置のTFTアレイおよびその製造方法

【特許請求の範囲】

【請求項1】 ゲート配線・ゲート電極は上層の金属層と下層の透明導電体層の2層からなり、画素電極は、前記ゲート配線・ゲート電極の透明導電体層と同層の透明導電体層から形成され、保持容量電極はソース配線と同層の電極材料で形成されて画素電極に接続されており、画素電極部でゲート配線・ゲート電極の上層の金属層が除去されていることを特徴とする液晶表示装置のTFTアレイ。

【請求項2】 ゲート配線・ゲート電極および共通配線は上層の金属層と下層の透明導電体層の2層からなり、画素電極は、前記ゲート配線・ゲート電極の透明導電体層と同層の透明導電体層から形成され、保持容量電極はソース配線と同層の電極材料で形成されて画素電極に接続されており、画素電極部でゲート配線・ゲート電極の上層の金属層が除去されていることを特徴とする液晶表示装置のTFTアレイ。

【請求項3】 透明導電体層からなる画素電極の周辺にゲート配線材料の上層の金属層からなる遮光パターンを透明導電体層の上層に残した請求項1または2記載の液晶表示装置のTFTアレイ。

【請求項4】 ゲート配線・ゲート電極は上層の金属層と下層の透明導電体層の2層からなり、画素電極は、前記ゲート配線・ゲート電極の透明導電体層と同層の透明導電体層から形成され、保持容量電極はソース配線と同層の電極材料で形成されて画素電極に接続されており、画素電極部でゲート配線・ゲート電極の上層の金属層が除去されており、ソース配線材料あるいはソース配線が多層膜の場合は少なくともソース配線最下層の材料が画素電極上の金属膜と同一の材料であることを特徴とする液晶表示装置のTFTアレイ。

【請求項5】 ゲート配線・ゲート電極および共通配線は上層の金属層と下層の透明導電体層の2層からなり、画素電極は、前記ゲート配線・ゲート電極の透明導電体層と同層の透明導電体層から形成され、保持容量電極はソース配線と同層の電極材料で形成されて画素電極に接続されており、画素電極部でゲート配

線・ゲート電極の上層の金属層が除去されており、ソース配線材料あるいはソース配線が多層膜の場合は少なくともソース配線最下層の材料が画素電極上の金属膜と同一の材料であることを特徴とする液晶表示装置のTFTアレイ。

【請求項6】 ソース配線材料あるいはソース配線が多層膜の場合は少なくともソース配線最下層の材料と画素電極上の金属膜がCr、Al、Mo、Ta、Ti、Wあるいはこれらのうちの少なくとも1つを含む合金である請求項3または4記載の液晶表示装置のTFTアレイ。

【請求項7】 ゲート配線・ゲート電極は金属層と透明導電体層の少なくとも2層からなり、

その金属層は透明導電体層の上層に形成されており、

画素電極は、前記ゲート配線・ゲート電極の透明導電体層と同層の透明導電体層から形成され、

ゲート絶縁膜、半導体層が少なくとも前記ゲート電極上に形成され、

その半導体層に接するようにソース・ドレイン電極が形成され、

ソース・ドレイン電極間の半導体層のうち n^+ -Si層は少なくとも取り除かれしており、

保持容量電極はソース配線と同層の電極材料で形成されて画素電極に接続されており、

ゲート配線あるいはゲート配線と同時に形成された金属層と透明導電体層の少なくとも2層からなる保持容量配線と、少なくともゲート絶縁膜をはさんで前記保持容量電極がゲート配線と対向することにより保持容量を形成し、

画素電極上で光を透過する部分上は少なくともゲート絶縁膜、半導体層、少なくとも2層からなるゲート配線・ゲートを電極形成した際に同時に形成した画素電極のうち金属層が少なくとも除去されおり、

隣り合うソース配線が半導体層で短絡しないように半導体層の少なくとも一部が除去されており、

半導体層の直下のゲート絶縁膜厚がそれ以外のゲート絶縁層の膜厚より厚くなっていることを特徴とする液晶表示装置のTFTアレイ。

【請求項8】 ゲート配線・ゲート電極および共通配線は金属層と透明導電

体層の少なくとも2層からなり、

その金属層は透明導電体層の上部に形成されており、

画素電極は、前記ゲート配線・ゲート電極の透明導電体層と同層の透明導電体層から形成され、

ゲート絶縁膜、半導体層が少なくとも前記ゲート電極上に形成され、

その半導体層に接するようにソース・ドレイン電極が形成され、

ソース・ドレイン電極間の半導体層のうち $n^+ - S_i$ 層は少なくとも取り除かれしており、

保持容量電極はソース配線と同層の電極で形成され画素電極に接続されており、ゲート配線あるいはゲート配線と同時に形成された金属層と透明導電体層の少なくとも2層からなる保持容量配線と、少なくともゲート絶縁膜をはさんで前記保持容量電極が共通配線と対向することにより保持容量を形成し、

画素電極上で光を透過する部分上は少なくともゲート絶縁膜、半導体層、少なくとも2層からなるゲート配線・ゲート電極を形成した際に同時に形成した画素電極のうち金属層が少なくとも除去されおり、

隣り合うソース配線が半導体層で短絡しないように半導体層の少なくとも一部が除去されており、

半導体層の直下のゲート絶縁膜厚がそれ以外のゲート絶縁層の膜厚より厚くなっていることを特徴とする液晶表示装置のTFTアレイ。

【請求項9】 前記TFTアレイにおいて最上層の絶縁膜を形成せず、ソース配線を液晶シールの内側でコンタクトホールを用いてゲート配線材料に変換した請求項1、2、3、4、5、6、7または8記載の液晶表示装置のTFTアレイ。

【請求項10】 透明導電体層からなる画素電極の周辺にゲート配線材料の金属層からなる遮光パターンを透明導電体層の上部になるように残すことを特徴とする、請求項7記載の液晶表示装置のTFTアレイの製造方法。

【請求項11】 ゲート電極・ゲート配線および画素電極を透明導電体層と金属層の少なくとも2層からなる構成とし、金属層が透明導電体層の上層になるように成膜し、それを前記それぞれのパターン形状のホトレジストを用いてエッ

チングを行ないそれぞれの所定のパターンを形成する工程と、ゲート絶縁膜、半導体層を形成する工程と、それを前記それぞれのパターン形状のホトレジストを用いてエッチングを行ない画素電極を露出させる工程と、その露出した画素電極上において前記少なくとも2層構造の画素電極において上部にある金属層をエッチングで取り除く工程と、ドレイン電極・ソース電極・ソース配線を形成する工程を含むことを特徴とする液晶表示装置のTFTアレイの製造方法。

【請求項12】 共通配線を形成し、その共通配線もゲート配線と同様に透明導電体層と金属層の少なくとも2層からなる構成した請求項11記載の液晶表示装置のTFTアレイの製造方法。

【請求項13】 ゲート電極・ゲート配線および画素電極を透明導電体層と金属層の少なくとも2層からなる構成とし、金属層が透明導電体層の上層になるように成膜し、それを前記それぞれのパターン形状のホトレジストを用いてエッチングを行ないそれぞれの所定のパターンを形成する工程と、ゲート絶縁膜、半導体層を形成する工程と、それを前記それぞれのパターン形状のホトレジストを用いてエッチングを行ない画素電極を露出させる工程と、ドレイン電極・ソース電極・ソース配線金属層を成膜し、前記それぞれのパターン形状のホトレジストを用いてエッチングを行ないドレイン電極・ソース電極・ソース配線を形成する工程を含み、前記露出した画素電極の前記少なくとも2層構造において上層にある金属層を取り除くことを特徴とする液晶表示装置のTFTアレイの製造方法。

【請求項14】 共通配線を形成し、その共通配線もゲート配線と同様に透明導電体層と金属層の少なくとも2層からなる構成とした請求項13記載の液晶表示装置のTFTアレイの製造方法。

【請求項15】 ゲート電極・ゲート配線および画素電極を透明導電体層と金属層の少なくとも2層からなる構成とし、金属が透明導電体層の上層になるように成膜し、それを前記それぞれのパターン形状のホトレジストを用いてエッチングを行ないそれぞれの所定のパターンを形成する工程と、ゲート絶縁膜、半導体層を形成する工程と、ホトレジストの厚みを少なくとも半導体層を残す部分を厚くした領域Aと、少なくとも画素電極の光を透過する部分を露突出せるためホストレジストを除去した領域Cと、それ以外の部分のホトレジストの厚みを半導

体層の部分の厚みより薄くした領域Bを形成する工程と、半導体層、ゲート絶縁層を前記厚み形状のホトレジストを用いてそれぞれの形状のパターンでエッチングを行ない画素電極を露出させる工程と、その露出した画素電極において前記少なくとも2層構造の上層にある金属層をエッチングで取り除く工程と、領域Aのホトレジストを残しつつ領域B上からホトレジストを取り除く工程と、領域A以外の部分の半導体層を取り除く工程と、ソース・ドレイン電極を形成する工程を含むことを特徴とする液晶表示装置のTFTアレイの製造方法。

【請求項16】 ゲート電極・ゲート配線、画素電極および共通配線を透明導電体層と金属層の少なくとも2層からなる構成とし、金属層が透明導電体層の上層になるように成膜し、それを前記それぞれのパターン形状のホトレジストを用いてエッチングを行ないそれぞれの所定のパターンを形成する工程と、ゲート絶縁膜、半導体層を形成する工程と、ホトレジストの厚みを、少なくとも半導体層を残す部分を厚くした領域Aと、少なくとも画素電極の光を透過する部分を露出させるためホトレジストを除去した領域Cと、それ以外の部分のホトレジストの厚みを半導体層の部分の厚みより薄くした領域Bを形成する工程と、半導体層、ゲート絶縁層を前記厚み形状のホトレジストを用いてそれぞれの形状のパターンでエッチングを行ない画素電極を露出させる工程と、その露出した画素電極において前記少なくとも2層構造の上層にある金属層をエッチングで取り除く工程と、領域Aのホトレジストを残しつつ領域B上からホトレジストを取り除く工程と、領域A以外の部分の半導体層を取り除く工程と、ソース・ドレイン電極を形成する工程を含むことを特徴とする液晶表示装置のTFTアレイの製造方法。

【請求項17】 ゲート電極・ゲート配線および画素電極を透明導電体層と金属層の少なくとも2層からなる構成とし、金属層が透明導電体層の上層になるように成膜し、それを前記それぞれのパターン形状のホトレジストを用いてエッチングを行ないそれぞれの所定のパターンを形成する工程と、ゲート絶縁膜、半導体層を形成する工程と、ホトレジストの厚みを、少なくとも半導体層を残す部分を厚くした領域Aと、少なくとも光を透過する部分の画素電極を露出させるためホトレジストを除去した領域Cと、それ以外の部分のホトレジストの厚みを半導体層の部分の厚みより薄くした工程と領域Bを形成する工程と、半導体層、ゲ

ート絶縁層を前記厚み形状のホトレジストを用いてそれぞれの形状のパターンでエッティングを行ない画素電極を露出させる工程と、領域Aのホトレジストを残しつつ領域B上からホトレジストを取り除く工程と、領域A以外の部分の半導体層と取り除く工程と、ゲート配線の上層に適用したものと同じ金属材料からなるソース・ドレイン電極を形成する工程と、その露した画素電極において前記少なくとも2層構造の上層にある金属層をソース・ドレイン電極をエッティングで取り除く工程で同時に取り除く工程を含むことを特徴とする液晶表示装置のTFTアレイの製造方法。

【請求項18】 共通配線を形成し、その共通もゲート配線と同様に透明導電体層と金属層の少なくとも2層からなる構成とした請求項17記載の液晶表示装置のTFTアレイの製造方法。

【請求項19】 TFTアレイにおいて少なくともソース配線上を覆うように絶縁膜を形成した請求項10、11、12、13、14、15、16、17または18記載の液晶表示装置のTFTアレイの製造方法。

【請求項20】 TFTアレイの最上層に絶縁膜を形成せず、ソース配線を液晶シールの内側でコンタクトホールを用いてゲート配線材料に変換する請求項10、11、12、13、14、15、16、17、18または19記載の液晶表示装置のTFTアレイの製造方法。

【請求項21】 前記TFTアレイにおいて、液晶に電圧を印加する電極を画素電極と共に配線を形成する電極で形成し、液晶に横方向電界を印加する請求項1、2、3、4、5、6、7、8または9記載の液晶表示装置のTFTアレイ。

【請求項22】 前記TFTアレイにおいて、液晶に電圧を印加する画素電極および共通配線電極を画素電極とソース電極材料を形成する電極で形成し、液晶に横方向電界を印加する請求項1、2、3、4、5、6、7、8または9記載の液晶表示装置のTFTアレイ。

【請求項23】 前記TFTアレイにおいて、液晶に電圧を印加する画素電極および共通配線電極をゲート配線を形成する電極材料で形成し、液晶に横方向電界を印加する請求項1、2、3、4、5、6、7、8または9記載の液晶表示

装置のTFTアレイ。

【請求項24】 前記TFTアレイにおいて、液晶に電圧を印加する画素電極および共通配線電極を画素電極を形成する電極材料で形成し、液晶に横方向電界を印加する請求項1、2、3、4、5、6、7、8または9記載の液晶表示装置のTFTアレイ。

【請求項25】 画素電極としてドレイン電極を延長したものを用い、液晶に横方向電界を印加する請求項1、2、3、4、5、6、7、8または9記載の液晶表示装置のTFTアレイ。

【請求項26】 請求項1、2、3、4、5、6、7、8、9、21、22、23、24または25記載のTFTアレイ、または請求項10、11、12、13、14、15、16、17、18、19または20記載の製造方法によって製造したTFTアレイを用いて製造したことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（TFT）を用いたアクティブマトリクス型液晶表示装置のTFTアレイ（AMLCD）およびその製造方法に関するものであり、とくにTFTアレイ基板を製造するために必要とする写真製版の工程数（マスク枚数）を低減することに関する。

【0002】

【従来の技術】

図17、図18、図19に従来のアクティブマトリクス型液晶表示装置（AMLCD）に用いられるTFTアレイ構造の1例を示す。図17、図18は断面図の1例、図19は平面図で図17、図18は図19のX-Xおよびゲート・ソース端子部の断面構造を示している。

【0003】

図17、図18、図19において311は絶縁性基板、313はゲート電極およびゲート配線、314は透明導電体層よりなる画素電極、316はゲート絶縁膜、317は半導体層（能動層）、318はPあるいはBなどの不純物を含有し

た半導体層（オーミックコンタクト層）、322はSiN₄などの絶縁膜、330はコンタクトホール、302はソース配線、303はソース電極、304はドレイン電極である。

【0004】

従来のアクティブマトリクス液晶表示装置（AMLCD）に用いられるTFTアレイ基板の製法について説明する。絶縁性基板311上にCr、Al、Moなどの金属やそれらを主成分とする合金あるいはそれらを積層した金属などからなる物質の層をスパッタなどの手法で形成する。ついでホトレジストなどを用いて写真製版およびそれに続くエッチング法などでゲート電極およびゲート配線パターン313などを形成する（図17（a）、図19（a））。

【0005】

ついでプラズマCVDなどの各種CVD法やスパッタ、蒸着、塗布法などで形成したゲート絶縁膜となるSi₃N₄、SiO₂などからなる絶縁膜316、a-Si:H膜（水素化非晶質シリコン膜）からなる半導体層317、金属とのコンタクトをとるためにプラズマCVD法やスパッタ法で形成したリン、アンチモン、ボロンなどの不純物をドーピングした半導体層であってn⁺a-Si:H膜やマイクロクリスタルn⁺Si層からなるオーミックコンタクト層318を連続的に形成する。ついでホトレジストなどを用いて写真製版およびそれに続くエッチング法などでTFT部、ゲート配線・ソース配線交差部などの半導体層（能動層）317、PあるいはBなどの不純物を含有した半導体層（オーミックコンタクト層）318を形成する（図17（b）、図19（b））。

【0006】

ついでITO（Indium Tin Oxide）などの透明導電材料からなる透明導電層をスパッタ、蒸着、ゾルゲル法などの手法で形成する。ついでホトレジストなどを用いて写真製版およびそれに続くエッチング法などで画素電極314および端子電極などを形成する（図17（c）、図19（c））。

【0007】

ついでホトレジストなどを用いて写真製版でゲート端子部などにコンタクトホールが出来るようにパターンを形成し、それに続くCF₄系などのガスを用いド

ライエッチング法などでゲート絶縁膜316を除去したのちホトレジストを除去しコンタクトホール330を形成する(図18(a))。

【0008】

ついでCr、Al、Moなどの金属やそれらを主成分する合金あるいはそれらを積層した金属などからなる物質の層をスパッタなどの手法で形成する。ついでホトレジストなどを用いて写真製版およびそれに続くエッチング法などでソース配線302、ソース電極303、ドレイン電極304を形成する(図18(b)、図19(d))。

【0009】

ついでプラズマCVDなどの各種CVD法やスパッタ、蒸着、塗布法などで形成したゲート絶縁膜となるSi₃N₄、SiO₂などあるいはそれらの積層物からなるSi₃N₄などの絶縁膜322を形成し、ついでホトレジストなどを用いて写真製版とそれに続くCF₄系などのガスを用いたドライエッチング法などで信号を各配線に外部のTCPなどから入力できるように端子部などの絶縁膜を除去する。これによりTFTアレイが形成される(図18(c))。

【0010】

ついでTFTアレイ上に配向膜を形成し、対向基板と向き合わせ、その間に液晶を狭持させアクティブマトリクス型液晶ディスプレイを形成する。

【0011】

【発明が解決しようとする課題】

従来の製法を用いてTFTアレイを作製する場合、少なくとも5回の写真製版工程を必要とするため、製造工程が長くなり、特に生産設備の稼動コストが高い露光工程を多く使う問題がある。このため、必然的に製作されるTFTアレイのコストが増加する。

【0012】

本発明は、従来技術の前記の問題点を解消するためになされたものであり、TFTアレイを製造するために必要な写真製版の回数、ひいてはマスクの枚数を削減することにより、生産性を改善し、コストを低減することを目的とする。

【0013】

【課題を解決するための手段】

写真製版工程数を削減するために、ゲート電極・ゲート配線および画素電極を透明導電体層と金属層の少なくとも2層からなる構成でゲート電極・ゲート配線が透明導電体層の上層になるように成膜し、それを同時にパターニングを行ないそれぞれの所定のパターンを形成する工程と、ホトレジストの厚みを半導体層を残す部分を厚くした領域Xと、少なくとも画素電極を露出させる部分のホトレジストは除去した領域Zと、それ以外の部分のホトレジストの厚みを半導体層の部分の厚みより薄くした領域Yを形成する工程と、半導体層、ゲート絶縁層を前記ホトレジストを用いて同一パターンでエッチングを行ない画素電極を露出させる工程と、その露出した画素電極において金属からなるゲート配線材料と透明導電材料からなる2層構造において上部にある金属から層をエッチングで取り除く工程と、領域Aにホトレジストを残しつつ、領域Y上からホトレジストを取り除く工程と、領域X以外の半導体層と取り除く工程を含むことにより、写真製版工程数を削減した。

【0014】

【発明の実施の形態】

実施の形態1

図1に本発明が適用されるアクティブマトリクス型液晶表示装置(AMLCD)のTFTアレイ基板の回路図の一例を示す。図1に示す回路構成は、保持容量Csを画素電極とゲート配線で形成するCs on gate型と呼ばれるものである。ここで、101は走査電圧を供給するためのゲート配線、102は信号電圧を供給するためのソース配線、103は液晶に電圧を印加する際のスイッチング素子として用いる薄膜トランジスタ(TFT)、104は光の透過／非透過のスイッチングを行なう液晶を等価回路的に容量で示したもの、105は液晶104に並列に配置されTFTの寄生容量の影響を低減するための保持容量Cs、106は液晶104の片側の電極をコモン電圧に接続するコモン電極、107はゲート側外部回路をゲート配線101にTCPなどを用いて接続するためのゲート端子、108はソース側外部回路とソース配線102をTCPなどを用いて接続するためのソース端子、109、110はそれぞれTFTや高低坑の線形ある

いは非線形素子で形成され、ゲート端子107とソース端子108を信号印加時には電気的に分離し、高電圧の静電気が入った場合には電気的に結合するための高抵抗素子。111はゲート配線101に高抵抗素子109を介して接続されている配線A、112はソース配線102に高抵抗素子110を介して接続されている配線B、113は静電気対策のために配線A(111)と配線B(112)を接続するための接続部である。114はソース配線がオープン故障となっている場合などに用いるリペア配線である。TFTアレイ基板に対向してカラーフィルタが形成された対向基板を組み合わせ、液晶を注入後、一般的には図中の点線で示した領域115の外側を切り離してLCD(液晶ディスプレイ)パネルとする。

【0015】

また、必要に応じてはTFTアレイ形成時に点線で示した115の外側の部分の少なくとも一部は形成しなくともよい。

【0016】

図2、3、4は本発明の写真製版工程数(マスク数)を削減したTFTアレイ基板の製造工程を示す断面図であり、図1に示すTFTアレイ基板の回路を実現する製造工程を示す。図5は図2、3、4に対応する平面図であり、図2、3、4は図5のY-Y断面およびゲート・ソース端子部の断面構造を示している。

【0017】

図2、3、4において211は絶縁性基板、212は透明導電体層よりなるゲート電極およびゲート配線、213は金属層からなるゲート電極およびゲート配線であり、212と213でゲート配線101を形成する。214は透明導電体層よりなる画素電極、215は金属層よりなる画素電極、216はゲート絶縁膜、217は半導体層(能動層)、218はPあるいはBなどの不純物を高濃度に含有した半導体層(コンタクト層)、219(219a、b)はホトレジストとして用いることのできる感光性有機樹脂、220(220a、b、c)はソース電極およびドレイン電極となる導電体層、102はソース配線、103は薄膜トランジスタ(TFT)部、221は保持容量電極、222はSi3N4などの絶縁膜、230は平面図(図5)上の半導体領域である。

【0018】

図5において使用している番号で図1～4と同一の番号は、同一の内容を示す。

【0019】

つぎに、本発明の製造方法について説明する。

【0020】

ITO (Indium Tin Oxide)、 SnO_2 、 InZnO などの透明導電体層あるいはこれらの積層、あるいは混合層からなる透明導電体層を絶縁性基板211上にスパッタ、蒸着、塗布、CVD、印刷法、ゾルゲル法などの手法で形成する。ついで、その透明導電体層上にCr、Al、Mo、W、Ti、Cu、Ag、Au、Taなど金属やそれらを主成分とする合金あるいはそれを積層した金属などからなり、前記透明導電体層より抵抗が低い物質の層をスパッタ、蒸着、CVD、印刷法などの手法で形成する。これにより、透明導電体層の上に少なくとも一層の金属からなる低抵抗層が積層された配線構造ができる。ついで、ホトレジストなどを用いて写真製版法およびそれに続くエッチング法などで透明導電体層および金属などの低抵抗層からなるゲート電極およびゲート配線パターン212、213を形成する。このとき同時にゲート配線と同じ材料および構成である透明導電体層と金属などの低抵抗層からなる層構造で画素電極パターン214、215を形成する（図2（a）および図5（a））。

【0021】

ITOなどの透明導電体層は、一般的には多結晶も用いる。この場合は、ITOなどのエッチャントとして、たとえば塩化第2鉄あるいはHClおよび硝酸を主成分とするものを用いている。

【0022】

しかし、たとえばITO層214を非晶質で形成し、かつその上に成膜する金属層215をそのITOが結晶化する温度以下で成膜すると、ゲート電極などの形成時においてITOは非晶質状態であるため、シュウ酸などの比較的弱酸でエッチングでき、金属層としてAlなどを使用した場合、ITOのエッチング時にAlなどの金属がエッチングされることが少なく、構造形成にあたっては、金属

のエッチングが完了するまでITOを非晶質の状態にしておいてもよい。このためAlなど金属の成膜はITOが結晶化しない160°C以下で行なうのが望ましい。

【0023】

また、ITOのエッチングとしては、HCl、HBr、HIなどのガスを用いてエッチング行なってもよい。

【0024】

ついで、プラズマCVDなどの各種CVD法や、スパッタ法、蒸着、塗布法などで形成したゲート絶縁膜となる Si_3N_4 、 SiO_xN_y 、 SiO_2 、 Ta_2O_5 、 Al_2O_5 などあるいはこれらの物質で化学量論組成より幾分ずれたものあるいはそれらの積層物からなる絶縁膜²¹⁶、たとえばプラズマCVD法やスパッタ法で形成した意図的にドーパントとなる不純物をドーピングしていないあるいは意図的にドーピングしていてもその不純物の濃度が50ppm程度以下またはTFTの実使用電圧条件の暗時のリーク電流が50pAを超えない程度以下にドーパントの濃度が抑えてあるチャンネル用半導体層（能動層）として用いるa-Si:H膜（水素化非晶質シリコン膜）²¹⁷、金属とのコンタクトを取るためにプラズマCVDやスパッタ法で形成したリン、アンチモン、ボロンなどの不純物を膜中に原子比でたとえば0.05%以上存在させた高濃度に不純物をドーピングした半導体層（コンタクト層）であるたとえば $n^+a-\text{Si:H}$ 膜やマイクロクリスタル $n^+\text{Si}$ 膜²¹⁸連続的に形成する。

【0025】

ついで、ホトレジストをまず全面に塗布する。ついでホトマスクを用いた露光によりホトレジストパターンを形成する。このホトレジストパターンの形状は、以下のようとする。まず、図2(b)あるいは図5(b)に示すように少なくとも画素電極となる部分の1部およびコンタクトホール部はホトレジストを形成しない（領域C）。a-Si:H膜からなる半導体層を残す部分は厚さAのホトレジストを形成する（領域A^{219a}）。たとえばa-Si:H膜²¹⁷およびたとえば $n^+a-\text{Si:H}$ 膜²¹⁸のみをエッチングしゲート絶縁膜²¹⁶を残したい領域には厚さBのホトレジストを形成する（領域B^{219b}）。領域A

(219a) のホトレジストの厚さは領域Bのホトレジスト(219b)の厚さより厚くなるように設定する。ゲート配線上で隣り合うソース配線間には、たとえば領域B(219b)を形成してその部分のa-Si:H膜217およびn⁺a-Si:Hなどの膜218を取り除き、電気的に隣り合うソース配線間は絶縁状態にしておくことが望ましい。また、ソース配線の少なくとも一部は領域Aとして下層に半導体層217、218を残し、ソース配線の断線防止に役立つようにしてもよい。

【0026】

このような、場所によるホトレジストの厚みの違いは以下のように形成する。ポジ型ホトレジストについて説明する。ネガ型にあっても基本的に同等な方法でパターンを形成する。

【0027】

ホトレジストを形成しない部分はマスク上をほぼ透明な状態としておき、充分に光を通過させホトレジストが現像時に残存しないだけの充分な光量を当てる。この結果、ホトレジストが形成されない領域Cが形成される。一方、ホトレジストの厚みAの部分はたとえば、その位置に対応するマスクの部分はほぼ光が透過しないように充分な厚さのCrなどの光を通さない材料で遮光しておく。この結果、この部分のホトレジストには充分の光が露光時にあたらいため、現像時にホトレジストが充分な厚さで残存する領域Aが実現できる。ホトレジストの厚みBを持つ領域Bは、ホトレジストに露光量が領域Aと領域Cの中間の露光量が照射されるようにする。この露光量の調整で、現像時に領域Bの厚みは領域Aよりも薄く設定される。この結果、図2(b)、図5(b)の形状が実現される。露光量あるいは光量は照射される光強度×時間で示される。

【0028】

ホトレジストの厚みが、領域A>領域B>領域C（実質的に0）に設定するために、領域Bのホトレジストへ照射される露光量が領域Aと領域Cの間の露光量が照射されるようにするが（露光量は、領域A<領域B<領域C）、それにはいくつかの方法が存在する。たとえば、領域Bを形成するマスク上のパターンの透過率を、領域Aを形成する際に用いたマスク上の領域Aの部分の透過率よりも高

くし、領域Cを形成する部分の透過率よりも低くする。このためにはたとえば、領域Bを形成する部分のホトレジストの遮光膜として用いるCrなどの遮光材料の厚みを領域Aを形成する部分のそれの厚みより薄くし、光量を制御してもよい。あるいは領域Bの部分に絶縁膜を1層あるいは多層に形成し透過率、反射率、あるいは位相などを変え、実質的に領域Bの透過率を領域Cの透過率より低くしてもよい。

【0029】

また、露光量が領域A（実質的に0）<領域B<領域Cとなるように設定するためには、以下の方法もある。領域Aと領域Bに対してともに同等程度の低い透過率を持つ遮光部分でマスク上にパターンを形成し、領域C用には充分な透過率を持つたとえば一切の遮光パターンを形成しないパターンをマスク上に形成する。ついで、この領域A+領域Bの遮光パターンをもつマスクを用いて露光量1で露光のみを行ない領域Cに光を照射する。ついで、領域Aに対応する部分のみを遮光したパターンを持つマスクを用いて露光を露光量2で行ない、領域Aを形成する部分以外を露光量2で光を照射する。このとき露光量1は現像時に領域Cのホトレジストが充分に除去できる強度で露光を行ない、露光量2は現像時に領域Bに必要な厚みのホトレジストが残るように設定する。一般的にはポジ型のホトレジストを用いた場合には露光量1は露光量2よりも、光照射時の光強度×光照射時間の計算結果が大きくなる用に設定する。

【0030】

ホトレジストの厚みが、領域A>領域B>領域C（実質的に0）に設定するための第3の方法としては、領域Aを形成するためには低い透過率を持つ遮光層でマスク上にパターンを形成し、領域C用には充分な透過率を持つたとえば一切の遮光パターンを形成しないパターンをマスク上に形成する。

【0031】

領域B用として、たとえば図6に示すようないわゆるハーフトーンマスクを用いてもよい。ハーフトーンマスクは、パターン233のようにマスク上の遮光パターンの空間周波数を露光機のパターン分解能力より高くし、ホトレジスト上でマスクのパターンが解像できない状態とし、領域Cよりも露光強度が少なくなる

ようにする。ハーフトーンマスクの微細度は、遮光部と透光部の幅が合計 $6 \mu m$ 以下となる周期でくり返されるように形成する。

【0032】

この結果ホトレジストの厚みが領域A > 領域B > 領域C（実質的に0）に設定でき、その結果、図2（b）、図5（b）のホトレジスト形状が実現される。

【0033】

ついで、 $n^+ a - Si : H$ 膜、 $a - Si : H$ 膜といった半導体膜と、 Si_3N_4 などのゲート絶縁膜をエッティングする。このエッティングはたとえばHC1を主成分とするガスや CF_4 を主成分とするガスや CF_4 と O_2 の混合ガス、 SF_6 を主成分とするガスなどが行なう。この結果、少なくとも画素電極となる部分で光を透過させようとする部分上のこれらの膜は取り除く。また、ゲート配線と外部から信号を入力するためTCPなどと接続する端子部分223、たとえば、静電気防止のため直接ソース配線あるいはTFTあるいは抵抗を介してソース配線部と短絡する部分（図1、113など）においては、この工程で $n^+ a - Si : H$ 膜、 $a - Si : H$ 膜、 Si_3N_4 などのゲート絶縁膜の一部を除去してもよい（図3（a））。

【0034】

前記 $n^+ a - Si : H$ 膜、 $a - Si : H$ 膜、 Si_3N_4 などのゲート絶縁膜のエッティングは CF_4 や $CH_4 + O_2$ などの単一ガスで全膜をエッティングしてもよいが、たとえば $a - Si : TFT$ 膜エッティング時に SiN 膜のエッティングを抑えられるようなガスを用いるなど、少なくとも $a - Si : H$ 膜と Si_3N_4 膜を別々のエッティングガスでドライエッティングしてもよい。この場合 $a - Si : H$ のエッティングとして SF_6 、HC1、F123あるいはこれらの混合ガスあるいはこれらと不活性ガスあるいは O_2 との混合ガスを用い、 Si_3N_4 膜のエッティングとして CF_4 、 SF_6 あるいはこれらの混合ガスあるいはそれらと O_2 や不活性ガスとの混合ガスを用いてもよい。

【0035】

ついで、酸素プラズマなどのレジストの膜厚を低減できるプラズマを用い、アッティングを行なってレジストを削り、領域B（219b）からレジストを取り除

く。このとき領域A（219a）のレジストの膜厚は初期の膜厚より薄くなるが、以下のエッティング時にエッティングしない部分を充分保護できるような厚みを保つように制御する。ついで、少なくとも $n^+a-Si:H$ 膜、 $a-Si:H$ 膜をドライエッティング法などでエッティングし領域Bより取り除く（図3（b））。

【0036】

このレジストの膜厚を低減させる工程は独立に行なわず、 $n+a-Si:H$ 膜、 $a-Si:H$ 膜、 Si_3N_4 などのゲート絶縁膜のエッティング行なうなど、ホトレジスト自身も幾分削れる現象を利用し、同時に領域Bのホトレジストを削ってもよい。

【0037】

その後、図3（b）で画素電極上で $n^+a-Si:H$ 膜、 $a-Si:H$ 膜、および Si_3N_4 などのゲート絶縁膜のエッティングで取り除いた部分の画素電極214上の金属層215をウエットエッティングやドライエッティングで取り除く（図4（a））。ついで、ホトレジストを取り除く。

ついで、たとえばCr、Cl、Ti、Ta、W、Mo、Mo-W、Cuあるいはこれらを主成分とする合金あるいはそれらの多層積層物などからなるソース電極およびソース配線、ドレイン電極となる導電体層220（220a、b、c）を成膜する。ついで写真製版法でソース電極およびソース配線、ドレイン電極の形状に配線パターンを形成後ウエット、ドライなどでエッティングし、ついで、ソース電極220cとドレイン電極220b間の $a-Si:H$ 膜などで形成した n^+ 半導体層218をドライエッティングなどで取り除き、最後にレジストを剥離することで所定のパターンを形成する（図4（b）、図5（c））。このとき、保持容量Csを形成するため、ソース配線と同時に作製する保持容量電極221を少なくともゲート絶縁膜216を介してたとえば212、213よりなる次段あるいは前段のゲート配線と対向させる。このとき、保持容量電極221とゲート絶縁膜216の間にはゲート絶縁膜216のみでなく $n^+a-Si:H$ 膜、 $a-Si:H$ 膜を残してもよい。保持容量電極は、図に示すように画素電極の少なくとも一部に接続させることが必要である。

【0038】

ついで、 Si_3N_4 、 SiO_2 などあるいはそれらの混合物および積層物からなる絶縁膜で形成した保護膜222を成膜する。写真製版で少なくとも信号を入れるために外部のTCPなどに接続するゲート端子部224、ソース端子部225にコンタクトホールが形成できるようにパターンを形成し、ついで CF_4 系などのガスを用いたドライエッチングやウェットエッチング法でコンタクトホールをあける。エッチング完了後ホトレジストを除去する。これにより、TFTアレイが形成される（図4（c）、図5（d））。

【0039】

ついで、TFTアレイ上に配向膜を形成し、少なくとも表面に配向膜とコモン電極を形成した対向基板と向かい合わせその間に液晶を注入し、アクティブマトリクス型液晶ディスプレイを形成する。

【0040】

以上のプロセスによって図1に示した構成図を持つTFTアレイおよびそれを用いた液晶ディスプレイが形成される。

【0041】

図1においてたとえばゲート配線材料を用いて形成したソース配線のリペア配線114が図示されているが、これは状況によっては形成しなくともよい。

【0042】

また、図7に示すように、リペア配線114との交差部において、ソース配線102をコントクトホール116a、116bを利用してゲート配線材料で形成したゲート配線と同層の配線117に一旦変換してもよい。この時リペア配線114はソース配線材料を用いて形成する。

【0043】

図4では、図4（a）でゲート電極材料で形成した画素電極214上の金属層215を除き、図4（b）でソース・ドレイン電極220b、c、ソース配線102をエッチングパターニングしているが、両者が同じ材料の場合は図4（a）で示したゲート電極材料215のエッチングを省略し、図4（b）でソース配線220をエッチングするときに同時にゲート電極材料で形成した画素電極215をエッチングで除いてもよい。

【0044】

実施の形態2

前記実施の形態では保持容量105が次段あるいは前段のゲート配線との間で形成されたいわゆるC s o n g a t e構造に関して説明したが、図8の回路図に示すような、1ゲート遅延に有利な保持容量配線をゲート配線と別に形成した共通配線構造としてもよい。ここで、保持容量105は共通配線120に接続されている。また、共通配線120はコントクトホール122を介して、共通配線引き出し線121に接続されている。コモン電圧は共通配線引き出し線121に接続されている共通配線端子123を介して外部から電圧を印加する。その他の部分の機能と符号は図1と同じである。

【0045】

共通配線方式においては、たとえば図9に示すような断面構造と図10に示す平面配置をとる。また、図11に示すように画素の中に共通配線120を形成し、画素電極を2分化し、その間をソース配線と同時に形成する保持容量電極221でブリッジし、そこに保持容量105を形成してもよい。

【0046】

図10に示すように共通配線構造をとる場合はゲート配線と平行に引き出される共通配線120とそれをまとめゲート配線と垂直に走る共通配線引き出し線121が必要となる。共通配線はゲート配線101と同じ材料で同時に形成することが最もよく、共通配線引き出し線は少なくともそのゲート配線との交差部124はゲート配線とは異層のソース配線102の材料を用いる。場合によってはゲート配線との交差部以外は、ゲート配線材料で共通配線引き出し線を形成してもよい。

【0047】

また、図12に示すように、リペア配線114との交差部において、ソース配線102をコントクトホール116a、116bを利用してゲート配線材料で形成したゲート配線と同層の配線117に一旦変換してもよい。

【0048】

実施の形態3

前記実施の形態ではTFTアレイ全面を覆うように絶縁膜222が形成されているが、この絶縁膜を形成しなくともよい。この絶縁膜形成を省くとマスク数は3枚となる。この場合、液晶シールの外部でソース配線の腐蝕が問題となるが、シールの外部へ出る以前にシールの内側でコンタクトホールを用いてゲート配線材料に変換しておく。これにより、ソース配線の腐蝕を防ぐことができる。

【0049】

実施の形態4

図2(b)の工程において、領域Bのレジストパターン219bを画素電極のパターン(214、215)とオーバーラップさせて配置してもよい。このようにすると、図13に示すように画素電極(透明導電体層)214の外周には金属層215が残されて、214・215の2層からなる遮光パターンが形成される。

【0050】

実施の形態5

前記実施の形態では、液晶自身に電圧を印加するコモン電極が対向基板にある場合について説明したが、広視野を実現できるIPS(In-plane switching)モードなどの横方向電界印加TFT基板に液晶電圧を印加するすべての電極がある場合に関しても適用できる。この場合は、たとえば画素電極214は透明導電体層である必要はなく、Crなどの金属でもよい。IPSモードの平面図の例を図14(a)、(b)に示す。ここで、図5、図10と同じものには同じ番号を用いている。

【0051】

図14(a)において、画素電極231は図2(a)の画素電極214/215形成時に作成する。

【0052】

図14(b)において、画素電極232は図4(b)のドレイン電極形成時に作成する。この場合、図2(a)での画素電極形成は行なわない。

【0053】

図14(a)、(b)において、ゲート電極および配線は金属層213のみで

もよい。また、画素電極 214 / 215 も金属層 215 のみでよい。

[0054]

実施の形態 6

前記実施の形態では、 $a-Si:H$ 膜の島状化のため図2 (b)、(c)、図3 (a)で示したようにハーフトーンマスクなどの技術を用いレジストの厚みを平面上で部分的に変換していたが、この工程をやめ、 $a-Si:H$ 膜の島状化の写真製版を別に行なってもよい。この場合は、たとえば、レジストの厚みは空間的には変化させない。図2 (b)の状態で平面的にレジストの厚みを変化させず、画素電極214、215上とコンタクト部223上のSiN₂₁₆/a-Si、H₂₁₇/n+a-Si:H₂₁₈を抜く工程を実施後、レジストを除去し、再度トランジスタの島を形成するパターンを作成し、TFT部以外のa-Si:H膜217とn+a-Si:H膜218をエッチングで取り除き、図3 (a)の構造を作成する。この場合、図2～4に示した実施の形態よりは写真製版回数が増えるが、従来の技術よりは低減できる。

[0055]

実施の形態 7

実施例1においてはSiNなどからなるゲート絶縁膜216、a-Si:H層218およびゲート配線材料からなる画素電極214上の金属層215をエッチングした後に、ソース・ドレイン電極および配線220を形成していた。それに對して、ホトレジストの厚みを空間的に変化させる工程を用いず、図15、16に示すように、少なくとも画素部の光を透過させる部分のゲート絶縁膜216、a-SiH層217、n+a-Si:H層218をエッチングで取り除いた後にソース・ドレイン電極220を形成してもよい。この場合、チャネルとして用いるSi膜217の島状化は一般的にはできない。

[0056]

ITO (Indium Tin Oxide)、SnO₂、InZnOなどの透明導電体層あるいはこれらの積層、あるいは混合層からなる透明導電体層212、214を絶縁性基板211上にスパッタ、蒸着、塗布、CVD、印刷法、ソルゲル法などの手法で形成する。ついで、その透明導電体層上にCr、Al、M

o、W、Ti、Cu、Ag、Au、Taなど金属やそれらを主成分とする合金あるいはそれらの積層した金属などからなり前記透明導電体層より抵抗が低い物質の層213、215をスパッタ、蒸着、CVD、印刷法などの手法で形成する。これにより、透明導電体層の上に少なくとも一層の金属からなる低抵抗層が積層された配線構造ができる。ついで、ホトレジストなどを用いて写真製版法およびそれに続くエッチング法などで透明導電体層および金属などの低抵抗層からなるゲート電極およびゲート配線パターン212、213を形成する。このとき同時にゲート配線と同じ材料および構成である透明導電体層と金属などの低抵抗層からなる層構造で画素電極パターン214、215を形成する(図15(a))。

【0057】

ついで、プラズマCVDなどの各種CVD法や、スパッタ法、蒸着、塗布法などで形成したゲート絶縁膜とする Si_3N_4 、 SiO_xN_y 、 SiO_2 、 $\text{Ta}_2\text{O}_5\text{Al}_2\text{O}_5$ などあるいはこれらの物質で化学量論組成より幾分ずれたものあるいはそれらの積層物からなる絶縁膜216、プラズマCVD法やスパッタ法で形成した意図的にドーパントとなる不純物をドーピングしていないあるいは意図的にドーピングしていてもその不純物の濃度が50ppm程度下またはTFTの実使用電圧条件の暗時のリーク電流が50pAを超えない程度以下にドーパントの濃度が抑えてあるチャンネル用半導体層として用いるa-Si:H膜(水素化非晶質シリコン膜)217、金属とのコンタクトを取るためにプラズマCVDやスパッタ法で形成したリン、アンチモン、ボロンなどの不純物を膜中に原子比でたとえば0.05%以上存在させた高濃度に不純物をドーピングした半導体層であるたとえば $n^+a-\text{Si:H}$ 膜やマイクロクリスタル $n^+\text{Si}$ 層218を連続的に形成する。

【0058】

ついで、少なくとも光を透過する画素部からSiNなどからなるゲート絶縁膜216、a-Si:H層217、 $n^+a-\text{Si:H}$ 層218を取り除くようにホトレジストを形成後、エッチングする(図15(b)、15(c))。ここで、ホトレジスト219を除去する。

【0059】

ついで、たとえばCr、Al、Ti、Ta、W、Mo、Mo-W、Cuあるいはこれらを主成分とする合金あるいはそれらの多層積層物などからなるソース電極およびソース配線、ドレイン電極となる導電体層220(220a、b、c)を成膜する。ついで写真製版法でソース電極およびソース配線、ドレイン電極の形状に配線パターンを形成後ウェット、ドライなどでエッチングし、ついで、ソース電極220cとドレイン電極220b間のn⁺a-Si:H膜などで形成したn+半導体層218をドライエッティングなどで取り除き、最後にレジストを剥離することで所定のパターンを形成する(図16(a))。

【0060】

ついで、Si₃N₄、SiO₂などあるいはこれらの混合物および積層物からなる絶縁膜で形成した保護膜を成膜する。写真製版で少なくとも、信号を入れるために外部のTCPなどに接続するゲート端子部224、ソース端子部225にコントラクトホールが形成できるようにパターンを形成し、ついでCF₄系などのガスを用いたドライエッティングやウェットエッティング法でエッチングする。エッチング完了後ホトレジストを除去する。これにより、TFTアレイが形成される。(図16(b))この方法によれば、a-Si:H膜217などはTFT部以外にも残るが、写真製版回数(マスク数)は4回(4枚)で完了できる。

【0061】

実施の形態8

前記実施の形態によれば半導体層はa-Si:H膜で形成されていたが、poly-Si(多結晶シリコン)であってもよい。

【0062】

【発明の効果】

以上のように、本発明によればマスクの露光回数を4回でTFTアレイを形成することができるので、低コストのTFTアレイを実現することができ、生産性の向上を実現することができる。

【図面の簡単な説明】

【図1】

本発明が適用されるアクティブマトリクス型液晶表示装置のTFTアレイ基板

の回路図である。

【図2】

本発明のTFTアレイ基板の製造工程を示す断面図である。

【図3】

本発明のTFTアレイ基板の製造工程を示す断面図である。

【図4】

本発明のTFTアレイ基板の製造工程を示す断面図である。

【図5】

図2、図3、図4に対応する平面図である。

【図6】

ハーフトーンマスクのパターンの例を示す図である。

【図7】

ソース配線とリペア配線の交差部の例を示す回路図である。

【図8】

保持容量配線をゲート配線と別に設ける共通配線方式を示す回路図である。

【図9】

共通配線方式の構成を示す断面図である。

【図10】

図9に対応する平面図である。

【図11】

共通配線方式の他の例を示す平面図である。

【図12】

共通配線方式におけるソース配線とリペア配線の交差部を示す回路図である。

【図13】

画素電極の周囲に遮光パターンを形成する平面配置例を示す平面図である。

【図14】

IPSモードの平面配置例を示す平面図である。

【図15】

本発明のTFTアレイ基板の他の製造方法を示す断面図である。

【図16】

本発明のTFTアレイ基板の他の製造方法を示す断面図である。

【図17】

従来のアクティブマトリクス型液晶表示装置のTFTアレイ基板の製造工程を示す断面図である。

【図18】

従来のアクティブマトリクス型液晶表示装置のTFTアレイ基板の製造工程を示す断面図である。

【図19】

従来のアクティブマトリクス型液晶表示装置のTFTアレイ基板の平面図である。

【符号の説明】

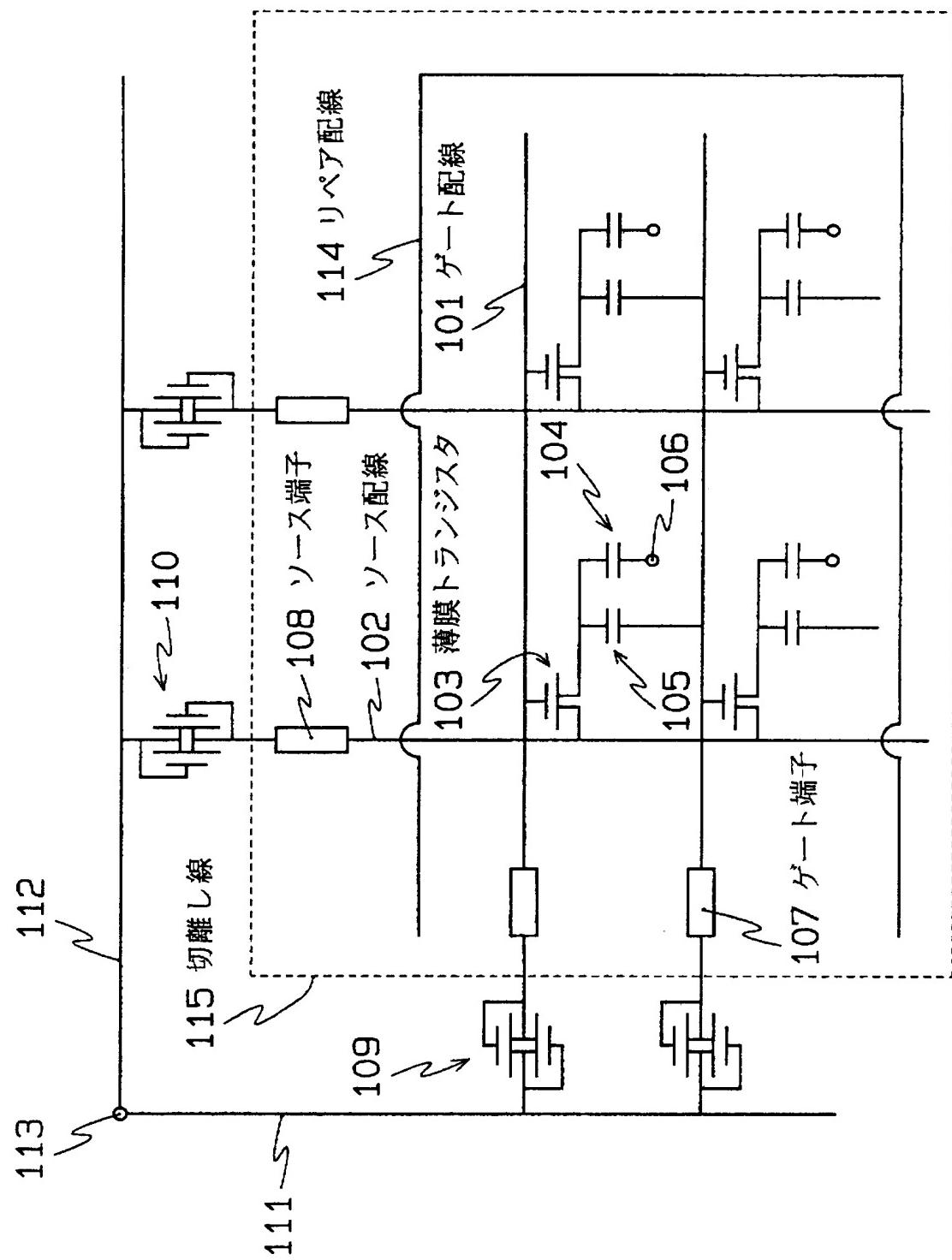
101	ゲート配線
102	ソース配線
103	薄膜トランジスタ（TFT）
104	液晶（容量）
105	保持容量
106	コモン電極
107	ゲート端子
108	ソース端子
109、110	高抵抗素子
111	配線A
112	配線B
113	配線A、Bの接続部
114	リペア配線
115	切離し線
120	共通配線
121	共通配線引き出し線
211	絶縁性基板

- 212 ゲート電極およびゲート配線（透明導電体層）
213 ゲート電極およびゲート配線（金属層）
214 画素電極（透明導電体層）
215 画素電極（金属層）
216 ゲート絶縁膜
217 半導体層（能動層）
218 半導体層（コンタクト層）
219、219a、219b ホトレジスト
220a ソース配線
220b ドレイン電極
220c ソース電極
221 保持容量電極
222 絶縁膜
224 ゲート端子部
225 ソース端子部
230 半導体領域
231、232 画素電極
233 ハーフトーンマスク

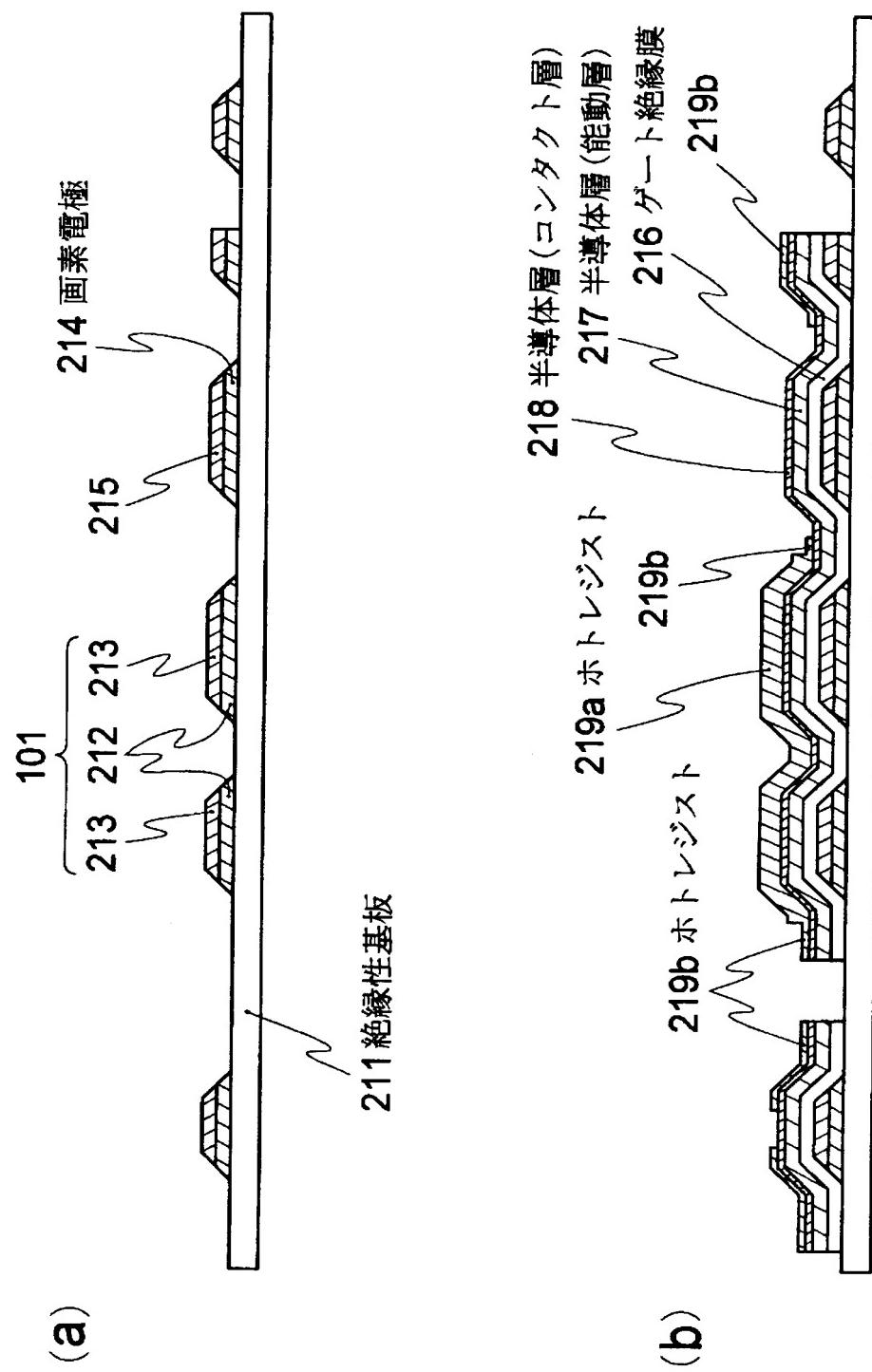
【書類名】

図面

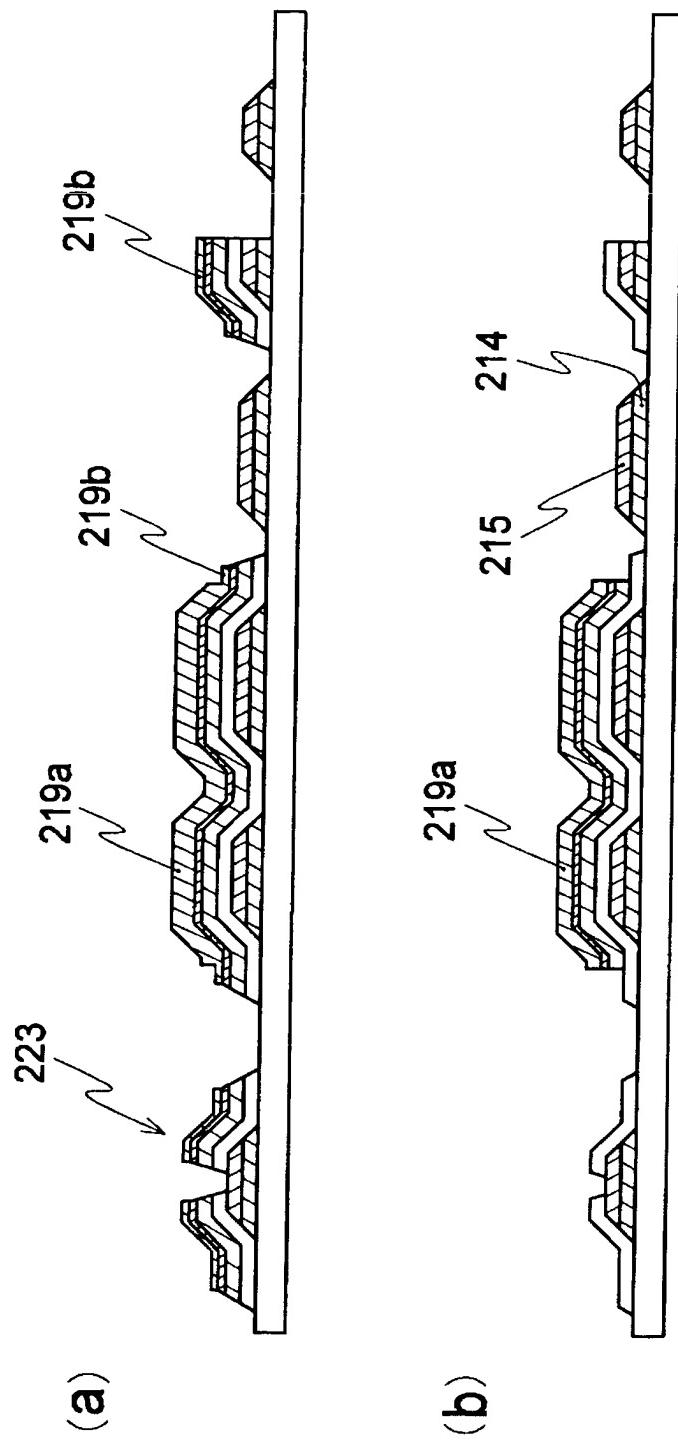
【図1】



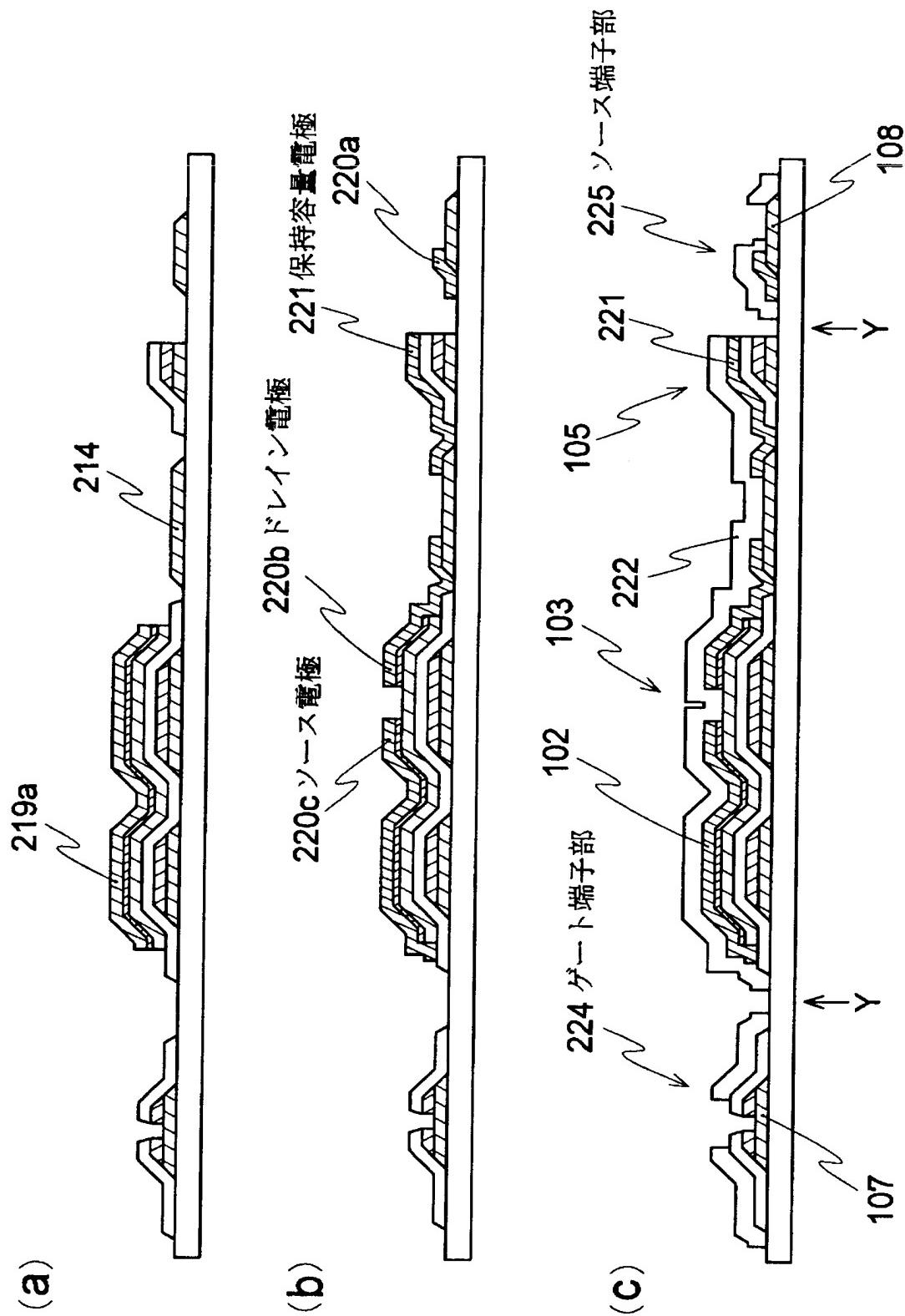
【図2】



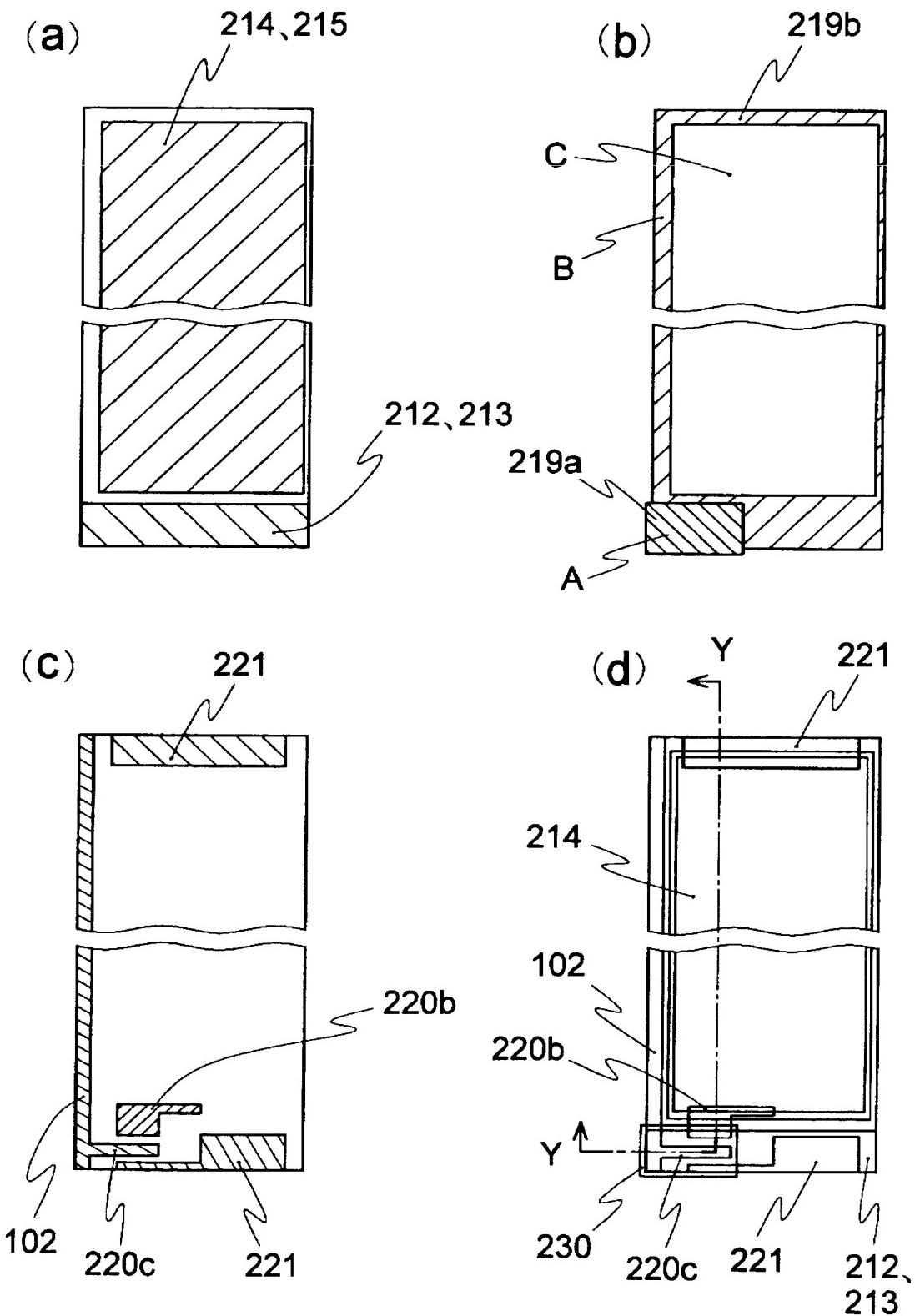
【図3】



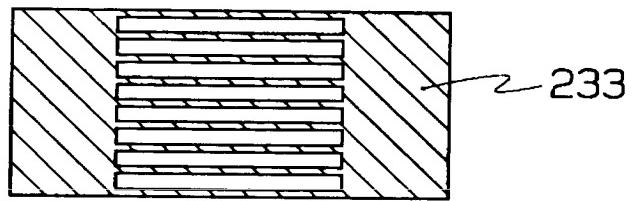
【図4】



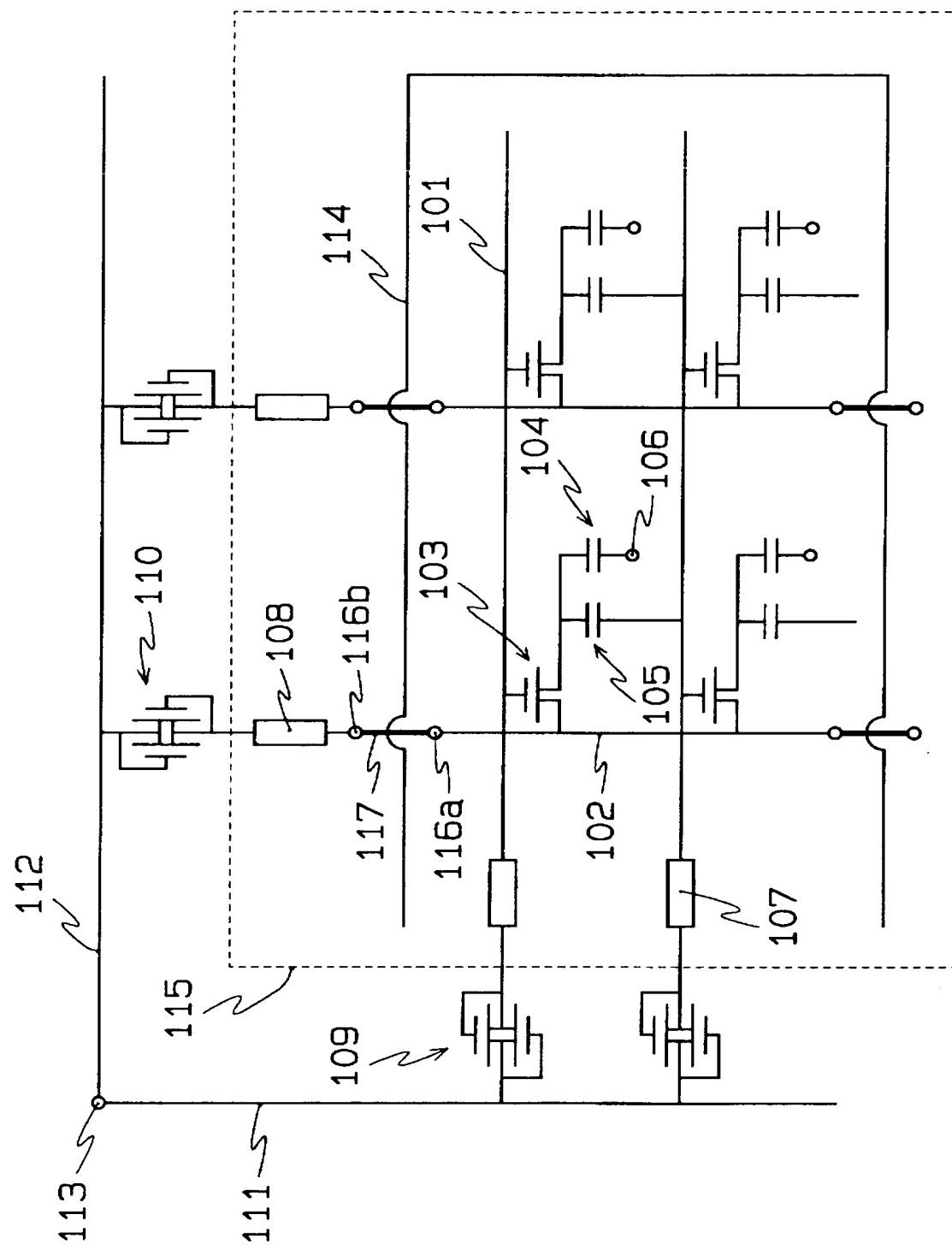
【図5】



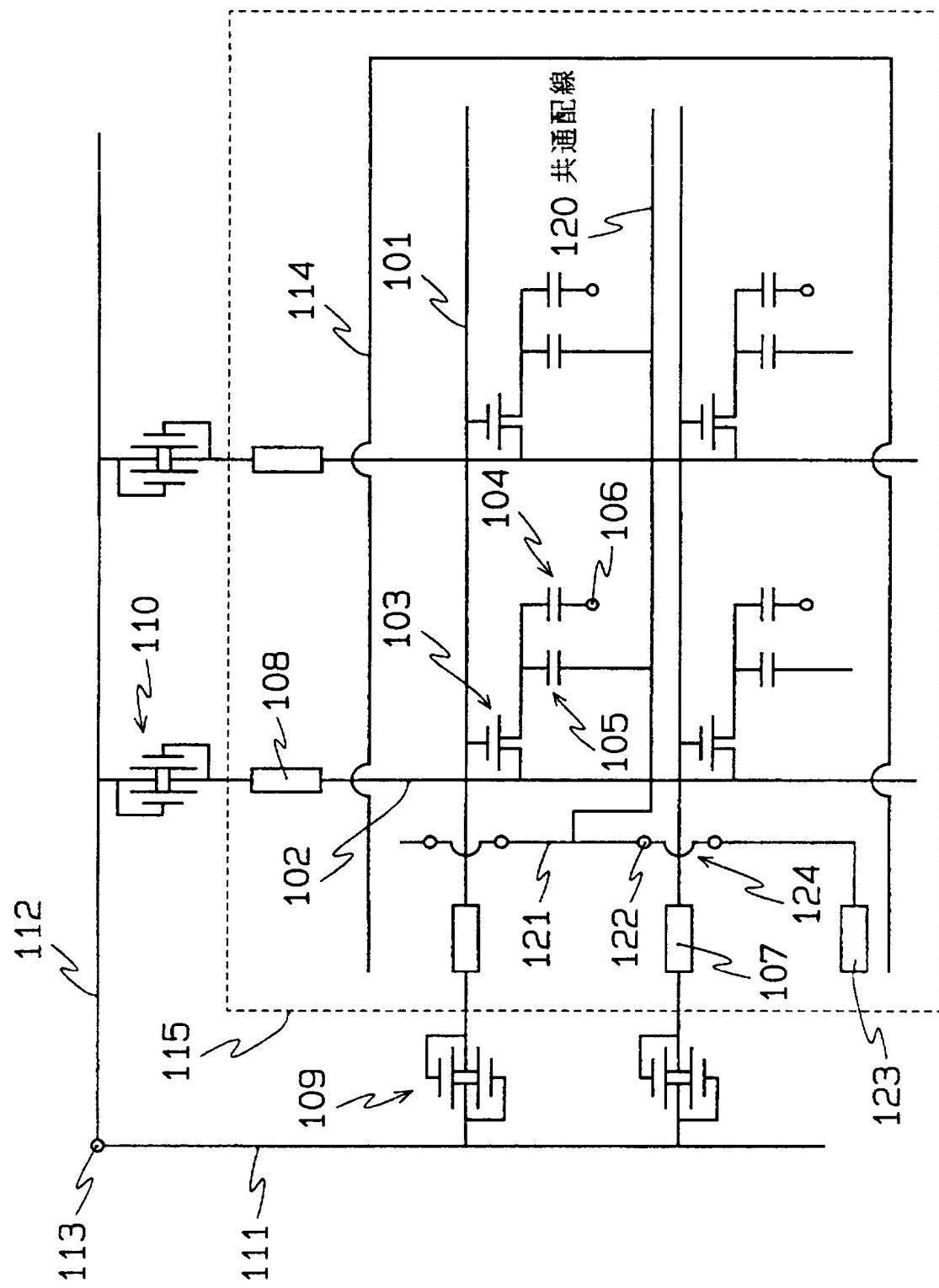
【図6】



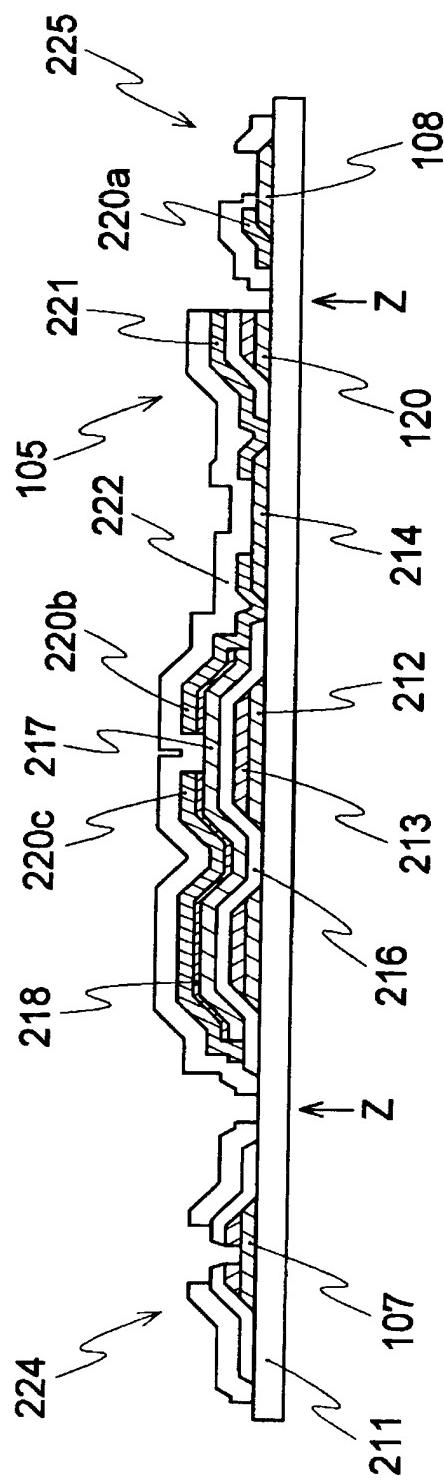
【図7】



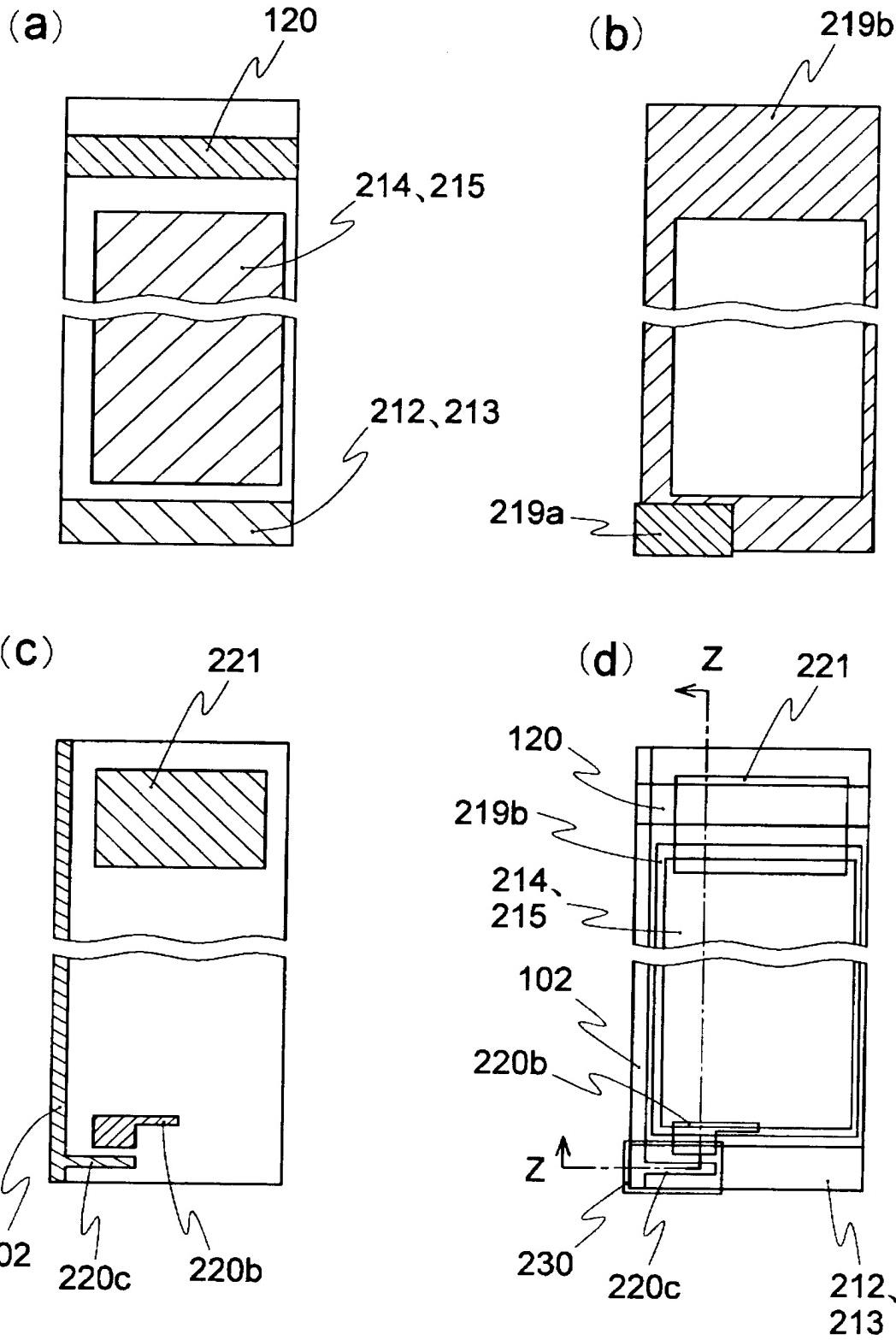
【図8】



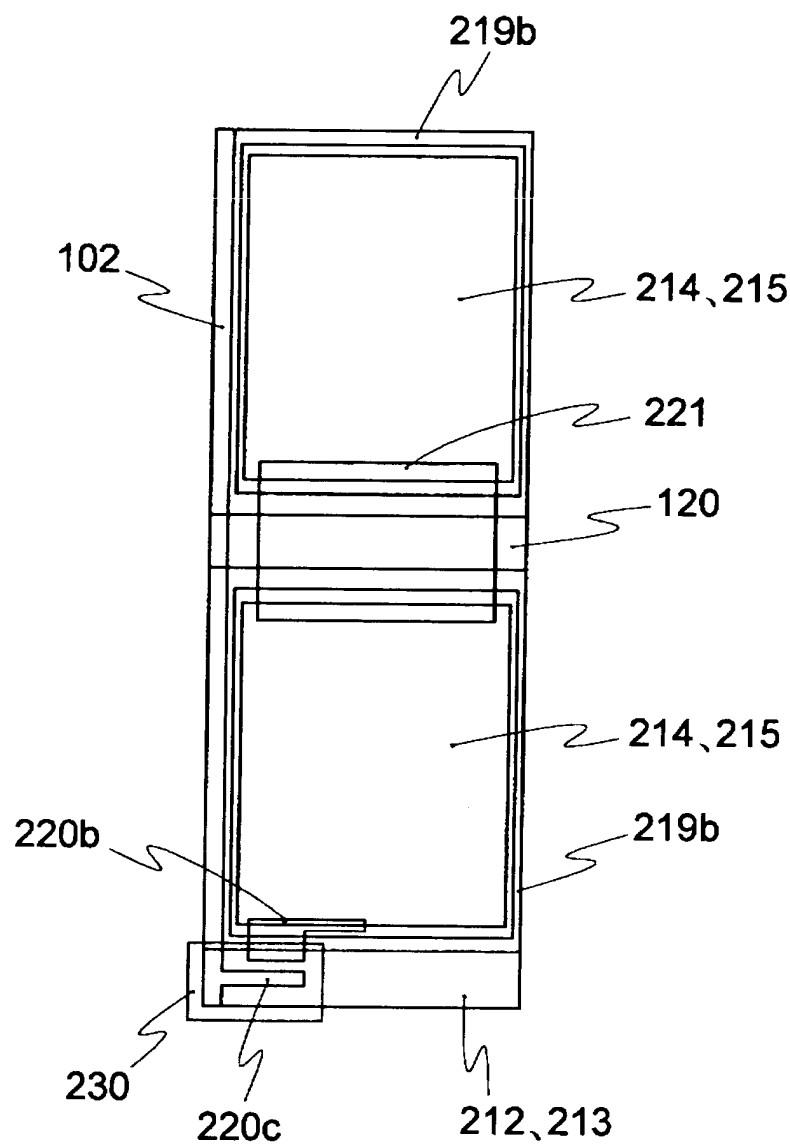
【図9】



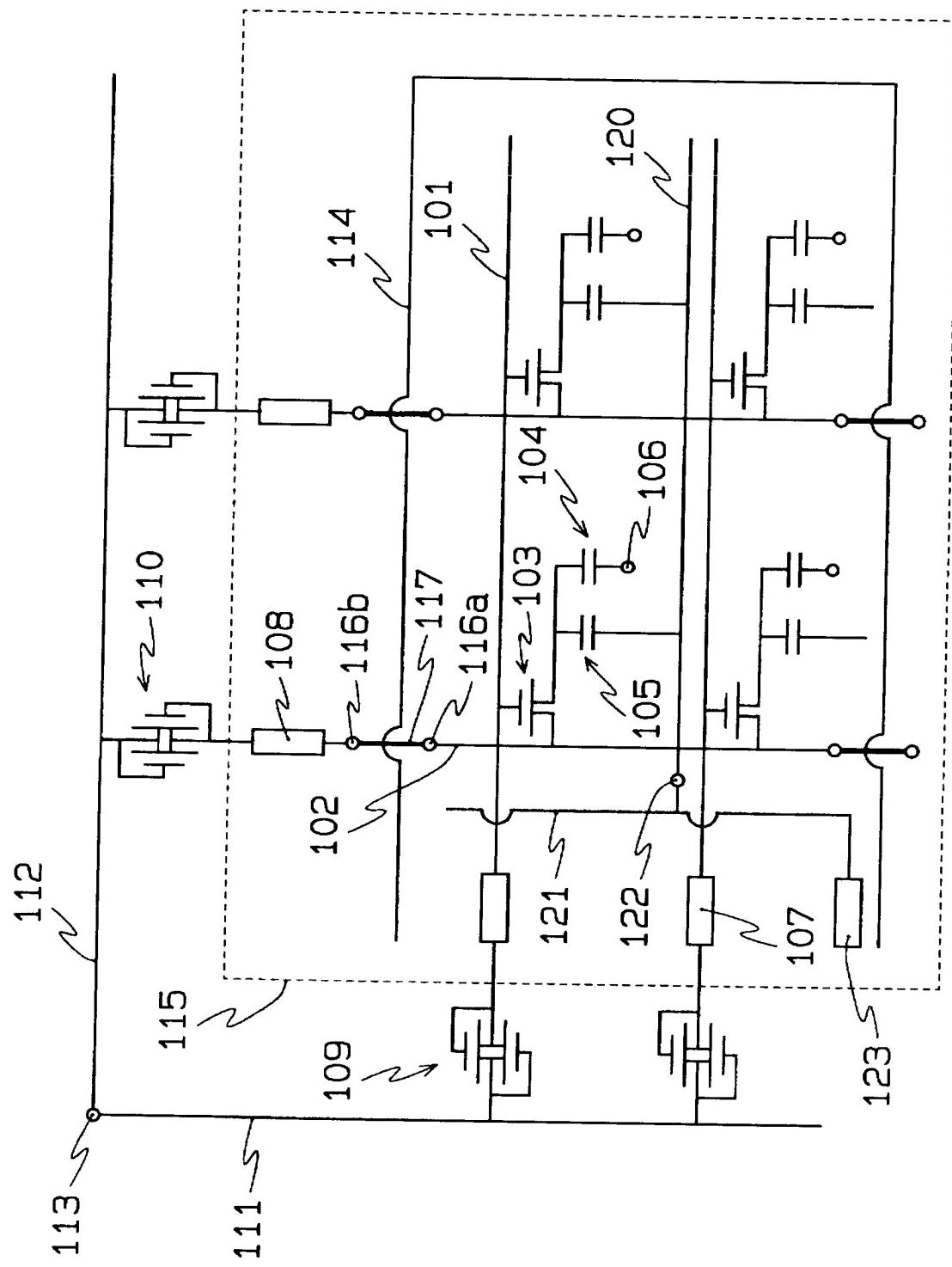
【図10】



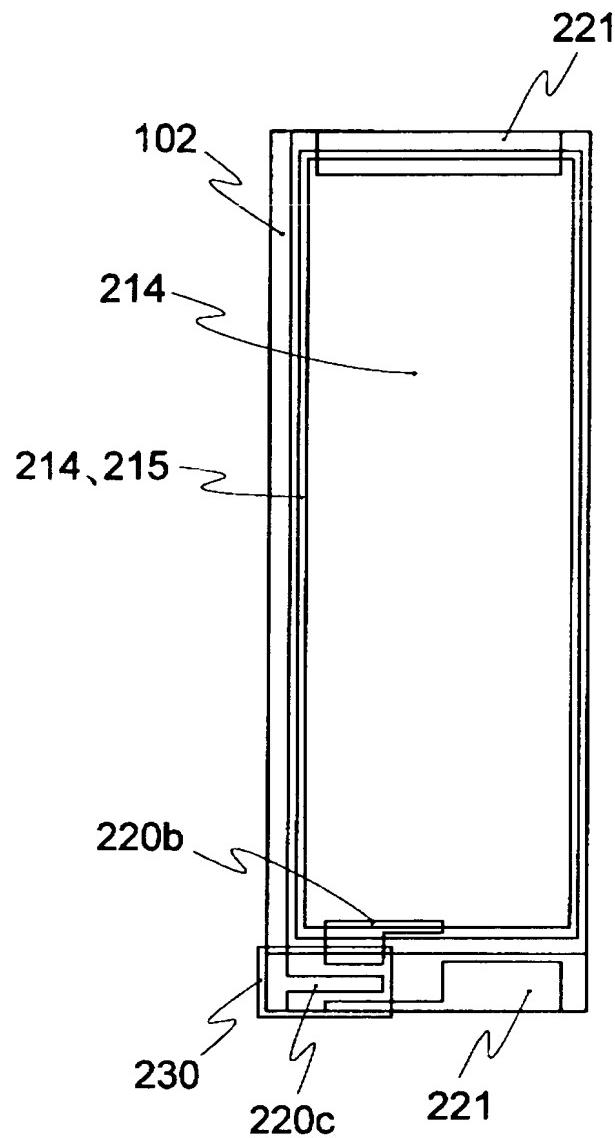
【図11】



【図12】

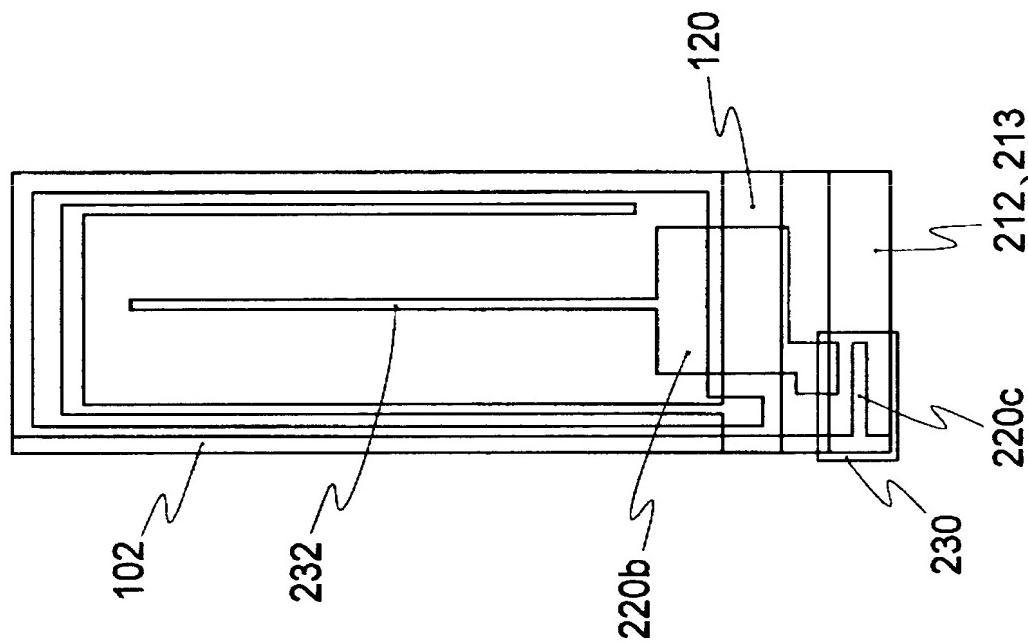


【図13】

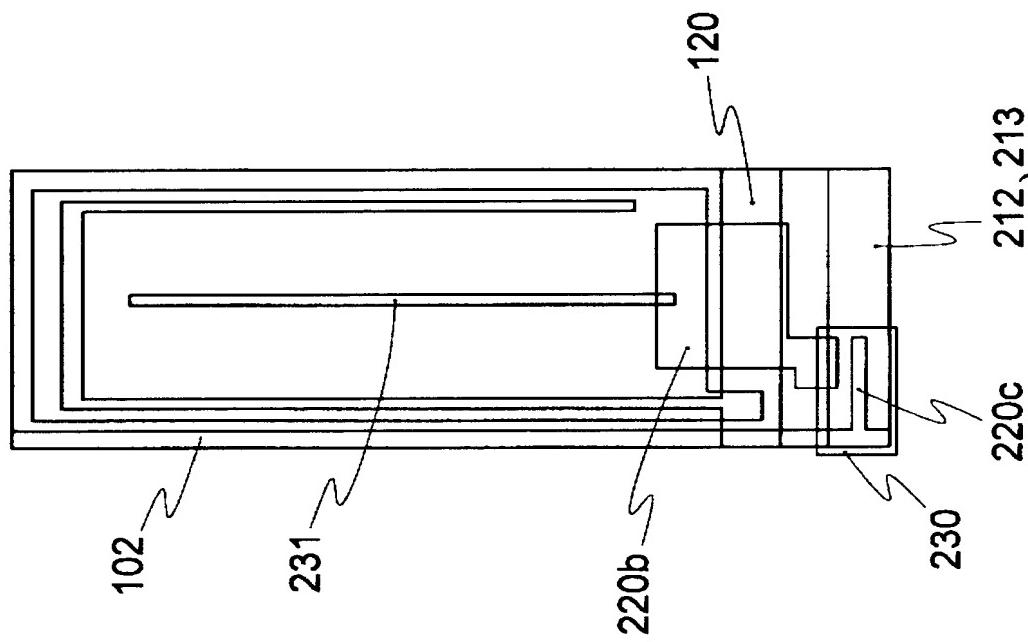


【図14】

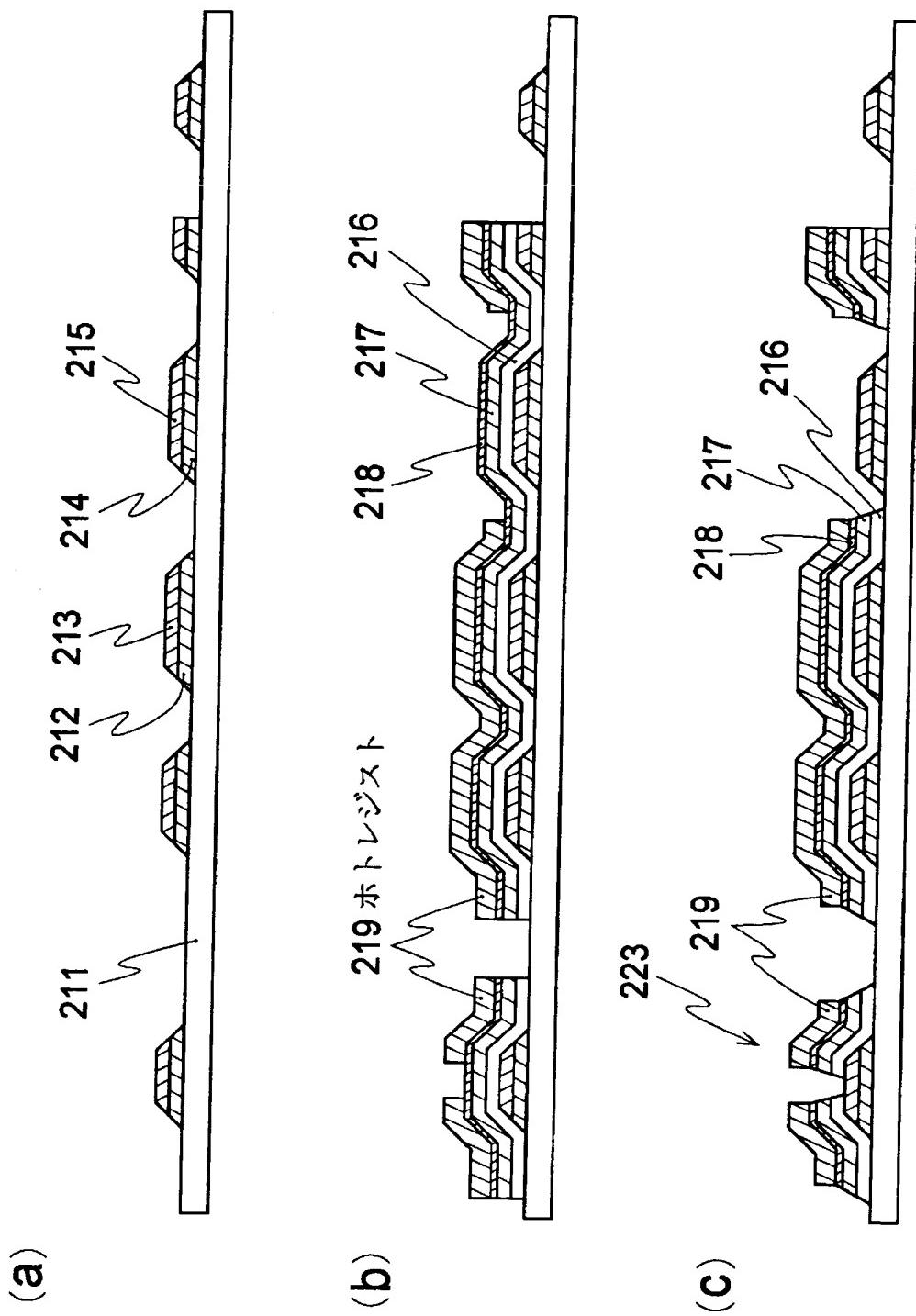
(b)



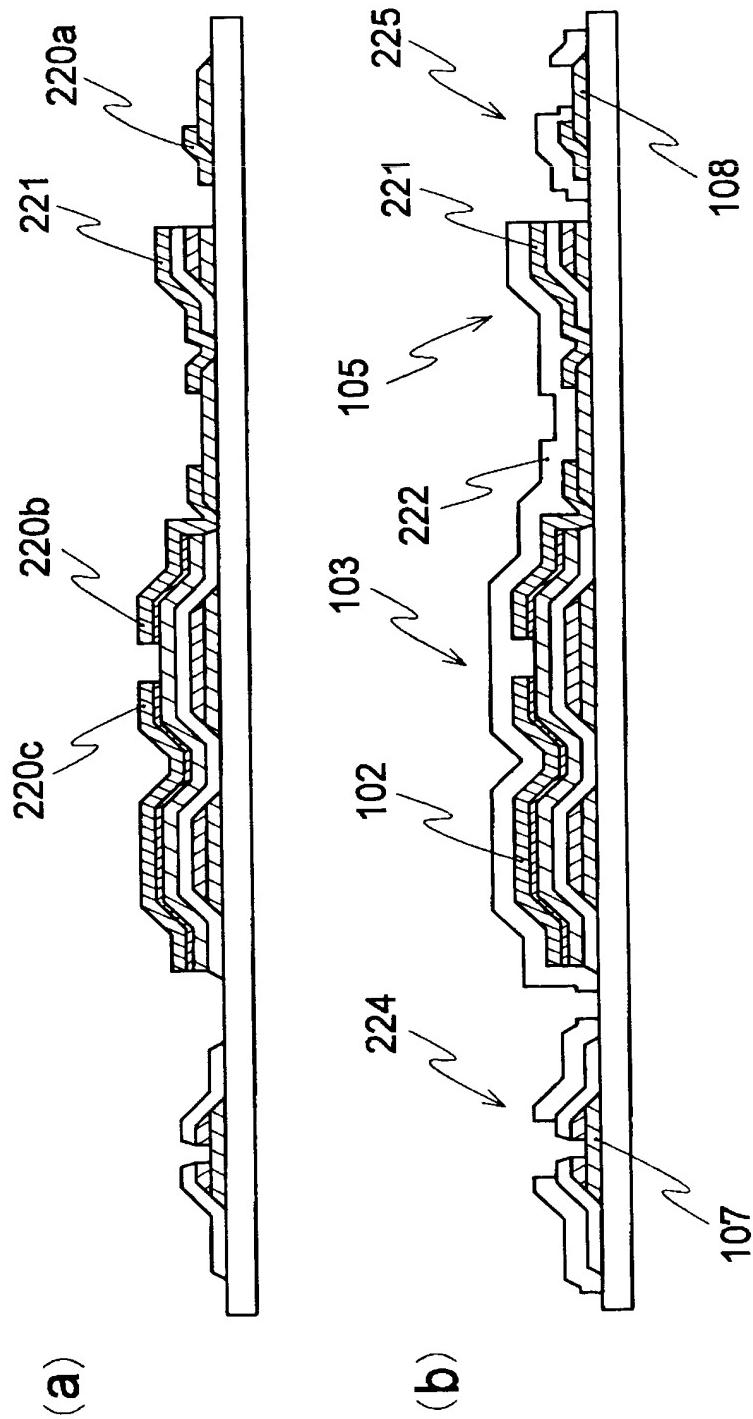
(a)



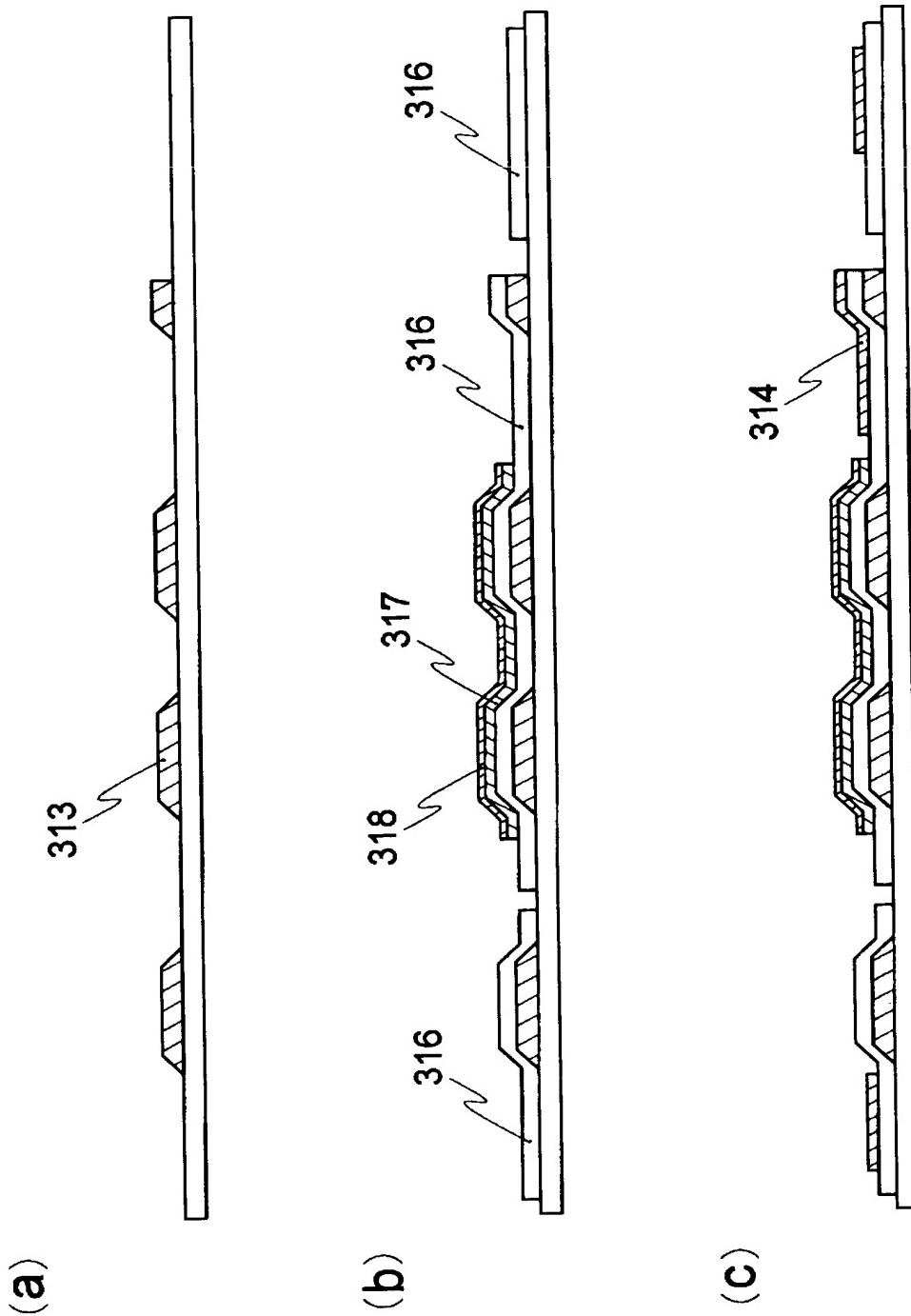
【図15】



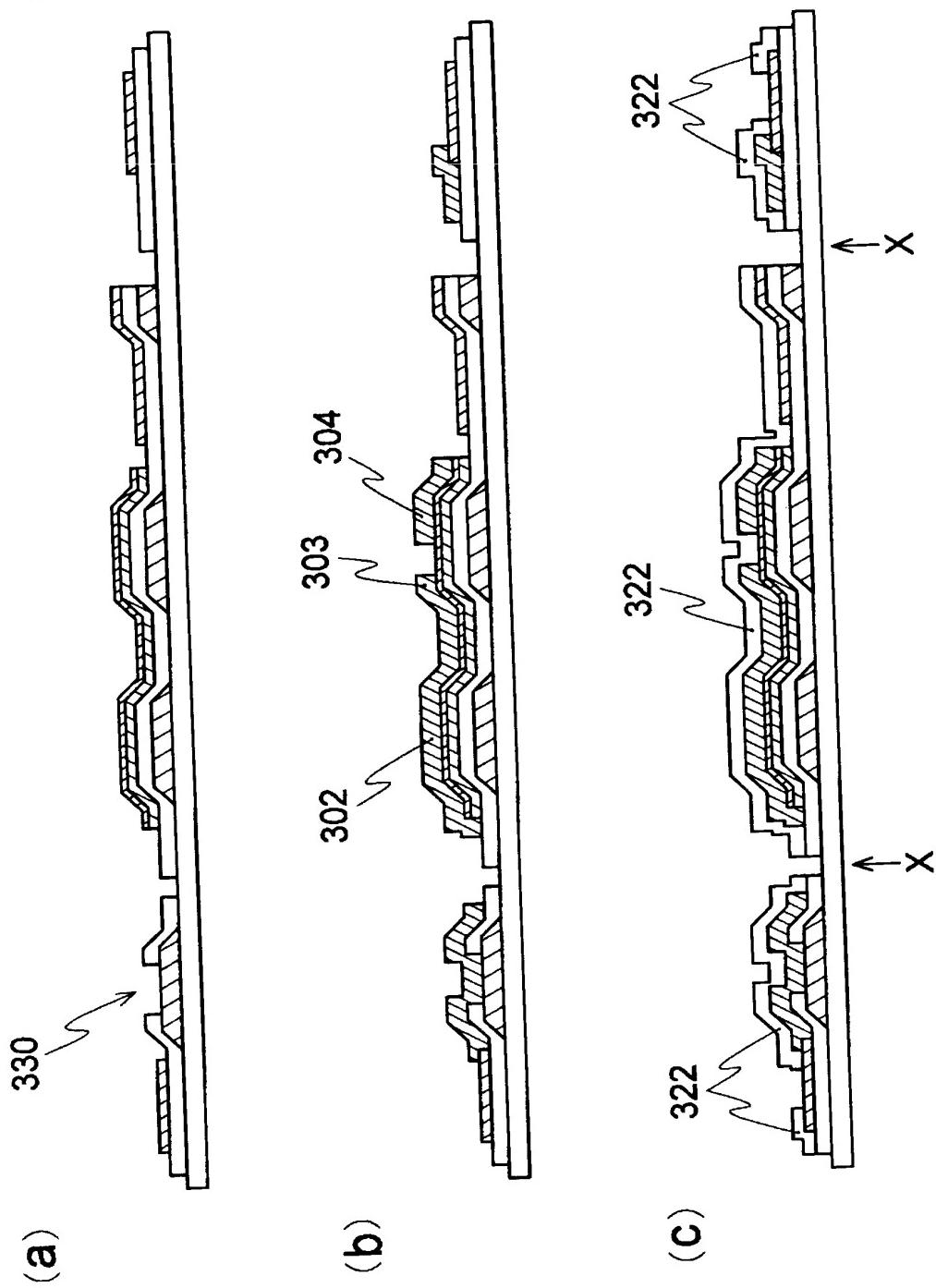
【図16】



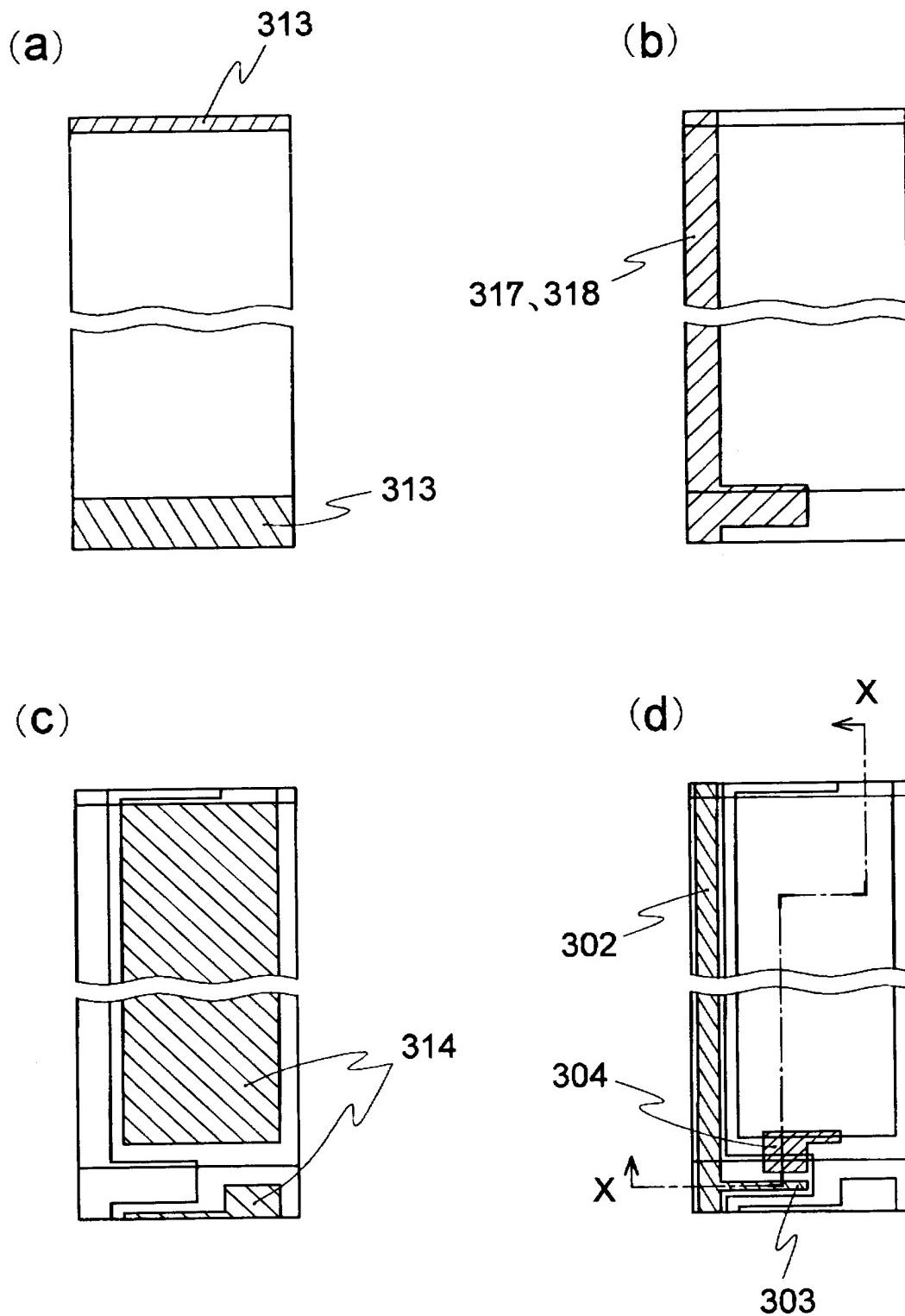
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 アクティブマトリクス型液晶表示装置のTFTアレイを製造するため
に必要な写真製版回数とマスク枚数を削減することにより、生産性を改善し、製
造コストを低減する。

【解決手段】 ゲート配線・ゲート電極は金属層と透明導電体層の2層からなり
、画素電極は、前記ゲート配線・ゲート電極の透明導電体層と同層の透明導電体
層から形成され、保持容量電極はソース電極と同層の電極材料で形成されて画素
電極に接続されており、半導体層が除去されている部分のゲート絶縁膜が除去さ
れている。

【選択図】 図2

出願人履歴情報

識別番号 [595059056]

1. 変更年月日 1995年 4月21日

[変更理由] 新規登録

住 所 熊本県菊池郡西合志町御代志997番地

氏 名 株式会社アドバンスト・ディスプレイ